

T-UES
1504
D948d
1995
Ej. 2

UNIVERSIDAD DE EL SALVADOR
FACULTAD DE INGENIERIA Y ARQUITECTURA
ESCUELA DE INGENIERIA ELECTRICA



Trabajo de graduación :

“Diseño y Construcción de un Convertidor Monofásico a Trifásico para la Operación de Motores Trifásicos”

Presentado por:

ULISES DURAN MEDRANO
GERMAN GEOVANNY ESPERANZA PACHECO

Para optar al título de

INGENIERO ELECTRICISTA.

Agosto de 1995
San Salvador El Salvador C. A.

15101215
15101215

UNIVERSIDAD DE EL SALVADOR

RECTOR:

DR. JOSE BENJAMIN LOPEZ GUILLEN

SECRETARIO GENERAL :

LIC. EMNIO ARTURO LUNA

FACULTAD DE INGENIERIA Y ARQUITECTURA.

DECANO :

ING. JOAQUIN ALBERTO VANEGAS AGUILAR

SECRETARIO :

ING. JOSE RIGOBERTO MURILLO CAMPOS

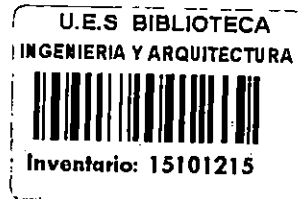
ESCUELA DE INGENIERIA ELECTRICA.

DIRECTOR :

ING. SALVADOR DE JESUS GERMAN



Rec. 14/9/95



FACULTAD DE INGENIERIA Y ARQUITECTURA
ESCUELA DE INGENIERIA ELECTRICA

Trabajo de graduación previo al grado de:
Ingeniero Electricista.

TITULO: “Diseño y Construcción de un Convertidor Monofásico a
Trifásico para la Operación de Motores Trifásicos”

Presentado por:

ULISES DURAN MEDRANO
GERMAN GEOVANNY ESPERANZA PACHECO

Trabajo de graduación aprobado por

Coordinador:

Ing. Hector Pompilio Escobar



Asesores:

Ing. Jesús Obdulio Velasquez Balcáceres

San Salvador, Agosto de 1995

ACTA DE CONSTANCIA DE NOTA Y DEFENSA FINAL

En esta fecha, 29 de Agosto de 1995,
en el local de Sala de Lectura de la Escuela de Ingeniería Eléctrica
a las 10:00 horas, con la presencia de las siguientes autoridades de la
Escuela de Ingeniería Eléctrica de la Universidad de El Salvador:

- 1- Inq. Salvador de J. German
Director
- 2- Inq. Gerardo Marvin Jorge Hernández
Secretario



Firma

Y con el Honorable Jurado de evaluación integrado por las personas
siguientes:

- 1- Inq. René Naúm Clímaco Cortez
- 2- Inq. Gerardo Marvin Jorge Hernández.

Se efectuó la defensa final reglamentaria del Trabajo de Graduación:

"Diseño y Construcción de un Convertidor Monofásico a Trifásico para la
Operación de Motores Trifásicos"

A cargo de los Brs.:

DURAN MEDRANDO, ULISES

ESPERANZA PACHECO, GERMAN GEOBANNY

Habiendo obtenido el presente trabajo una nota final, global de 8.0

(Ocho punto cero -)

TRABAJO DEDICADO A:

DIOS TODOPODEROSO :

Por haber iluminado mi vida y estar siempre conmigo en mi camino.

MI MADRE: MARIA BERTA

Por darme todo su apoyo moral, por haberse sacrificado para darme todo lo mejor y también por darme todos sus sabios consejos.

MI HERMANO: EMILIO ALBERTO.

Por su apoyo y comprensión

MIS FAMILIARES:

Por apoyarme y nunca dejarme desfallecer. Una mención especial se merecen mis tías MARIA LUZ y ANA JULIA y mis compañeros y amigos; por haberme brindado ayuda y apoyo en los momentos más oportunos durante mi carrera sin interés alguno.

TRABAJO DEDICADO A:

DIOS TODOPODEROSO:

Porque sin su gran Amor y Ayuda, no hubiese podido recorrer el camino que me ha dado.

MIS PADRES:

ULISES DURAN MEDRANO y ELVIA FLORIDA MEDRANO FUENTES, por todo el sacrificio que les he hecho pasar en el transcurso del tiempo y por que nunca dejaron de alentarme y quererme.

MIS HERMANOS:

OLGA DURAN MEDRANO, VICKY DEL CARMEN DURAN MEDRANO, FLOR DE MARIA DURAN MEDRANO por darme todo su amor y su confianza en los peores momentos.

MI HIJO:

Quien fue uno de los motivos mas importantes en mi superación y seguir adelante.

MIS COMPAÑEROS Y AMIGOS:

Por haberme brindado su ayuda y apoyo desinteresadamente en el transcurso de mi carrera, no teniendo ninguna obligación de hacerlo.

AGRADECIMIENTOS:

Presentamos nuestros sinceros agradecimientos a todas las personas que desinteresadamente colaboraron en el desarrollo de este trabajo además agradecemos sinceramente el apoyo y ayuda oportuna invaluable de todos nuestros amigos y compañeros de estudio durante el transcurso de nuestra carrera y especialmente a JORGE HORACIO EGUIZABAL CASTANEDA, RODOLFO ENRIQUE LEMUS, ya que su aporte fue dado en los momentos más oportunos .

Además se hace una mención especial a todos aquellos lugares que por su contexto nos ayudaron en el transcurso de la carrera y realización del presente trabajo.

PREFACIO.

Los convertidores de voltaje surgen de la necesidad de la industria para mejorar los sistemas de control y optimizar los equipos industriales.

Encontrándose hoy en día una gama de convertidores tales como: Convertidores AC/DC, DC/AC, DC/DC y AC monofásico a AC trifásico.

La necesidad de investigar y diseñar un convertidor de voltaje monofásico a voltaje trifásico para manejo de equipo trifásico es necesario en la industria que por su costo y aplicación es grande en nuestro medio en general.

La selección y diseño de elementos del equipo convertidor de voltaje es un criterio técnico y económico que garantiza el buen funcionamiento y duración del equipo en el medio cambiante.

RESUMEN DEL TRABAJO

El presente es desarrollado partiendo de la necesidad que existe de utilizar equipos eficientes en áreas en donde actualmente se tiene deficiencias en cuanto a la alimentación eléctrica se refiere, así como el de aprovechar y aplicar las facilidades que se obtienen con convertidores en la industria.

Se parte de la necesidad de convertir una alimentación eléctrica AC monofásica a una trifásica, con lo cual se concibe la idea de un convertidor AC/AC el cual puede estar compuesto por dos subsistemas, uno que gobierna la conversión AC/DC (rectificador regulado) y otro que realiza la conversión DC/AC trifásico; con el acople de ellos se logra en forma indirecta la conversión AC/DC.

Los dos subsistemas se tratan en capítulos separados dando los esquemas, circuitos y componentes utilizados.

La potencia en los subsistema se maneja con SCR y el control electrónico con un microprocesador.

INDICE

CAPITULO I.....	1
1.1 EL RECTIFICADOR REGULADOR (AC/DC).....	2
1.2 EL RECTIFICADOR DE ONDA COMPLETA.	2
1.3 CIRCUITO DE CONTROL DE DISPARO DE LOS TIRISTORES.....	5
CONCLUSIONES:	8
BIBLIOGRAFÍA.....	9
CAPITULO II.....	10
2 INVERSOR DC/AC.....	11
2.1 CIRCUITOS INVERSORES CONMUTADOS EN LÍNEA.	11
2.2 CIRCUITOS INVERSORES CONMUTADOS EN FUERZA.	11
2.3 CIRCUITO DE CONMUTACIÓN.	12
2.3.1 Conmutación por corriente.....	12
2.3.2 Conmutación por voltaje.	13
2.4 CONMUTACIÓN FORZADA POR VOLTAJE DE UN INVERSOR DE PUENTE MONOFASICO.	13
2.4.1 Circuitos de conmutación de impulso con tiristor auxiliar (McMurray).....	14
2.4.2 Circuito complementario mutuamente acoplado de conmutación por impulso (McMurray-Bedford).	16
2.5 VOLTAJE DE SALIDA DEL INVERSOR.	27
2.5.1 Modulación en pulso único.	27
2.5.2 Modulación de pulso múltiple.	28
2.6 MODULACIÓN SENOIDAL POR ANCHO DE PULSO.	30
2.7 INVERSOS TRIFASICO.	33
2.8 OPERACIÓN DE UNIDAD LÓGICA DE CONTROL.	35
2.8.1 Maniobra del inversor.....	38
2.8.2 Generación de pulsos para inversor de potencia.	38
2.8.3 Supervisión del convertidor de monofasico a trifasico.	38
2.9 HARDWARE DE UNIDAD LÓGICA DE CONTROL.	38
2.9.1 Generación del reloj.....	40
2.9.2 Amplificación intermedia o separación de salida de control y bus de direcciones. ...	42
2.9.3 Bus de control.	44
2.9.4 Memoria y decodificación de E/S.....	45
2.10 FUENTE DE ALIMENTACIÓN DEL SISTEMA.	47
2.11 INTERFASE DE PULSOS DE DISPARO Y CONTROL.....	48
2.12 INTERFASE DE LECTURA DE UNIDAD DE CONTROL.....	52
2.12.1 Sensor de voltaje directo.	52
2.12.2 Supervisión de voltaje trifasico.	53
CONCLUSIONES.	55
BIBLIOGRAFÍA.....	56
ANEXO A1 FUNCIÓN DE TRANSISTOR MONOUNIÓN UJT Y AMPLIFICADOR DIRECCIONAL.	57
ANEXO B SOFTWARE DE UNIDAD LÓGICA PARA SUPERVISIÓN Y GENERACIÓN DE PULSOS DE DISPARO DE INVERSOR. DATOS TÉCNICOS DE ELEMENTOS DE POTENCIA.....	62

CAPITULO I

Introducción

Los convertidores son redes eléctricas que contienen dispositivos semiconductores que en un sentido dejan pasar siempre la corriente y bloquean de forma alternativa, mientras que en el otro sentido bloquean permanentemente .

La rectificación es un proceso que lleva a la utilización de un convertidor AC/DC. La mayoría de los rectificadores utilizan como dispositivo de rectificación diodos de potencia o tiristores. La ventaja de utilizar los últimos es que se puede regular a la salida a un valor constante controlando el ángulo de conducción del tiristor cuando hay variaciones en el voltaje de alimentación.

Utilizando tiristores en el rectificador en una configuración puente para poder realizar una rectificación de onda completa y así aprovechar al máximo la fuente de alimentación monofásica que se tiene. También en el rectificador se puede regular la salida, debido a que se compensa cualquier variación que se presente en la fuente de alimentación, mediante la técnica del control de fase, atrazando o adelantando el pulso de disparo que hace conducir a los tiristores en cada simiciclo del voltaje de alimentación.

1.1 El rectificador regulador (AC/DC)

La rectificación es el proceso de convertir una señal alterna (AC), en otro que se restringe a una sola dirección (DC).

El rectificador regulado del convertidor 1ϕ a 3ϕ esta compuesto básicamente de dos partes:

1. Rectificador de onda completa (en configuración puente), utilizando tiristores.
2. Circuito de control de disparo de los tiristores.

1.2 El rectificador de onda completa.

Un rectificador de onda completa transfiere energía de la entrada a la salida durante todo el ciclo del voltaje de alimentación y proporciona mayor corriente promedio por cada ciclo en relación con la que se obtiene utilizando un rectificador de media onda.

En este caso se utiliza un arreglo mixto de 2 SCR y 2 diodos en configuración puente, para obtener rectificado de onda completa y se usara la técnica del control de fase para regular el voltaje de salida de este. El circuito de disparo de los tiristores se presenta mas adelante. La figura 1 muestra la configuración de los dispositivos.

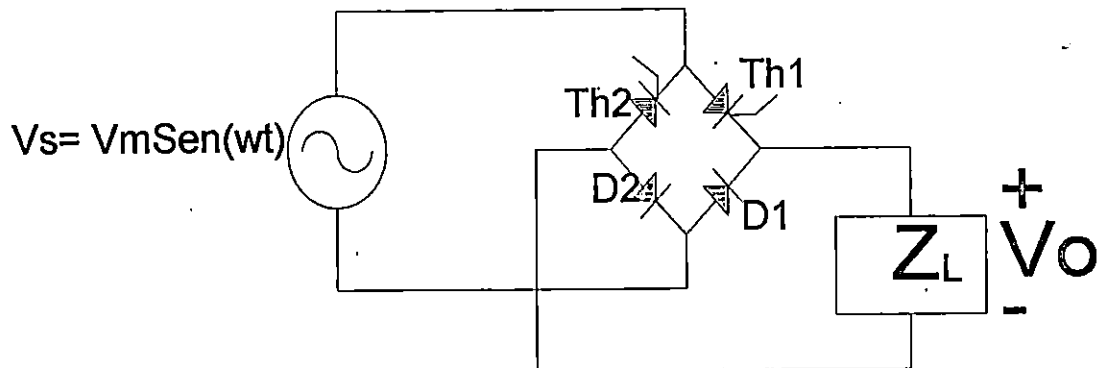


Figura 1.1. Configuración del puente rectificador utilizado.

Durante el semiciclo positivo de V_i , el circuito de control de disparo de los SCR da los pulsos de compuerta a T_{H1} para que dicho semiciclo, recortado por un ángulo de disparo α (que indica a partir de que momento conduce T_{H1})

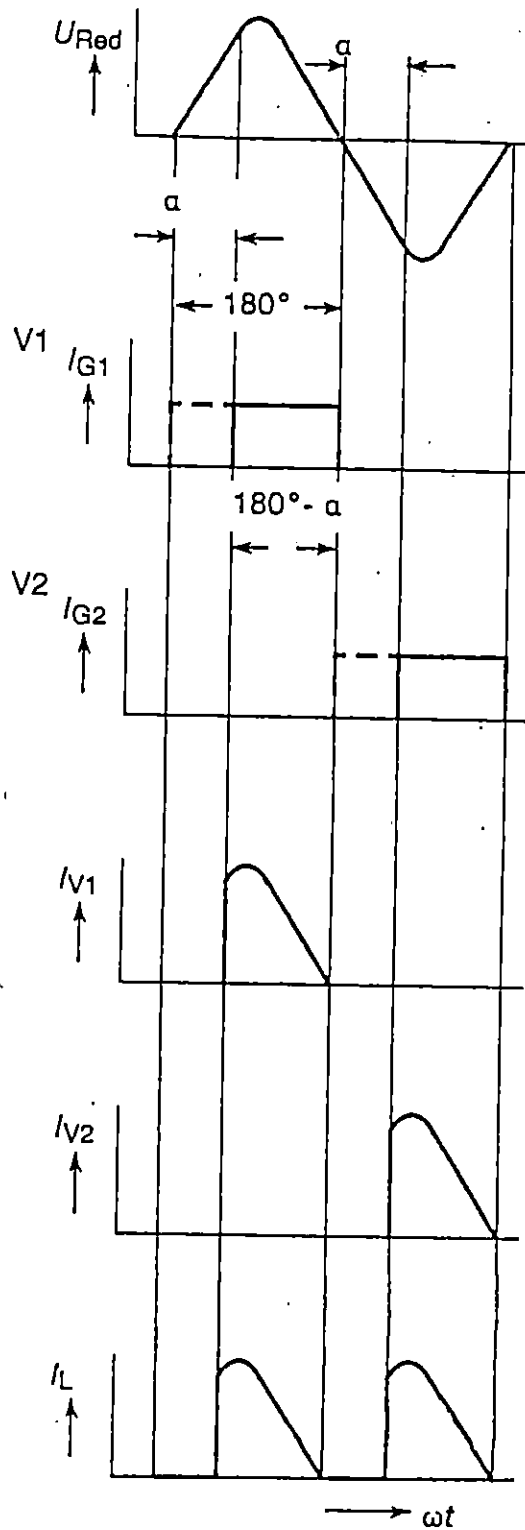


Figura 1.2. Forma aproximada de la onda de tensión en la carga V_o , en un rectificador de onda completa con filtro capacitivo.

vaya a la carga. De la misma forma se opera durante el semiciclo negativo de V_i , pero esta vez es T_{H2} el SCR que conduce cuando el circuito de control de disparo de los SCR da los pulsos de encendido. De esta forma se completa el ciclo de rectificación.

Para la selección de los SCR a utilizar se tomará en cuenta dos aspectos muy importantes:

- La corriente a manejar.
- El voltaje pico inverso que soportará el SCR

La potencia que se maneja a la salida del convertidor es de 2 HP (lo cual equivale a una corriente $I_{nom} = 5.2$ Amp). Pero considerando que se utilizará un transformador 3Φ 50V/208V, es necesario referir esta corriente al lado primario del transformador (lado de 50 Vrms), dando una corriente de 22 Amp, pero se dejará una holgura del 125% obteniéndose $\cong 28$ Amp.

En una configuración en puente del rectificador el voltaje pico inverso que soportan los SCR que no están conduciendo ya sean en el semiciclo positivo o el semiciclo negativo de V_i es el voltaje pico de V_i , para el caso particular cuando la alimentación es de 110 V_{AC} $\Rightarrow V_p = 110\sqrt{2}$ lo cual da $V_p \cong 155$ V.

Por lo tanto se ha seleccionado el SCR NTE5543 (ECG5543) que cumple las condiciones anteriormente mencionadas. La hoja de datos de este dispositivo se puede ver en anexos.

Los SCR se protegerán con un varistor de metal-óxido (MOV) para evitar cualquier sobretensión y pico de corriente que pueda dañar a los SCR, se usará el tipo NTEIV115 (ECGIV115), el cual tiene un rango de voltaje RMS de 115 Vac y de 153 Vdc.

El rectificador deberá proporcionar un voltaje rectificado promedio de 70 voltios DC al inversor por lo tanto es necesario calcular el valor de alfa (α) para el cual el valor promedio rectificado de voltaje sea el antes mencionado.

La ecuación que nos describe el voltaje promedio rectificado es:

$$V_{dc} = \frac{2}{\pi} V_m (\cos \alpha + 1) \quad (1.1)$$

donde:

$$V_m = \sqrt{2} V_{rms} = 110\sqrt{2} \text{ y } V_{dc} = 70 \text{ vts}$$

Al substituir en la ecuación anterior da

$$\alpha = 107^\circ$$

1.3 Circuito de control de disparo de los tiristores.

Existen dos métodos para la producción de impulsos de encendido de los tiristores:

- 1.- Control de apagado-encendido.
- 2.- Control de fase.

En el control de apagado-encendido los tiristores son empleados para conectar el circuito de carga a la fuente por un intervalo de tiempo determinado.

En el control de fase los tiristores son empleados para conectar la fuente de voltaje al circuito de carga solamente en parte de cada ciclo de la fuente.

La figura 1.3 es un diagrama de bloques que utiliza este sistema para regular el voltaje de salida del rectificador de potencia controlado por tiristores. Donde el dispositivo de mando se alimenta de corriente alterna para suministro interno y otra se rectifica para hacer sincronización de los disparos.

Un muestreo de voltaje se logra a través del detector de voltaje para ser comparado con el voltaje de referencia, así se mantiene un voltaje constante a la salida, cuando existan problemas de baja o alta tensión a la entrada del rectificador de potencia.

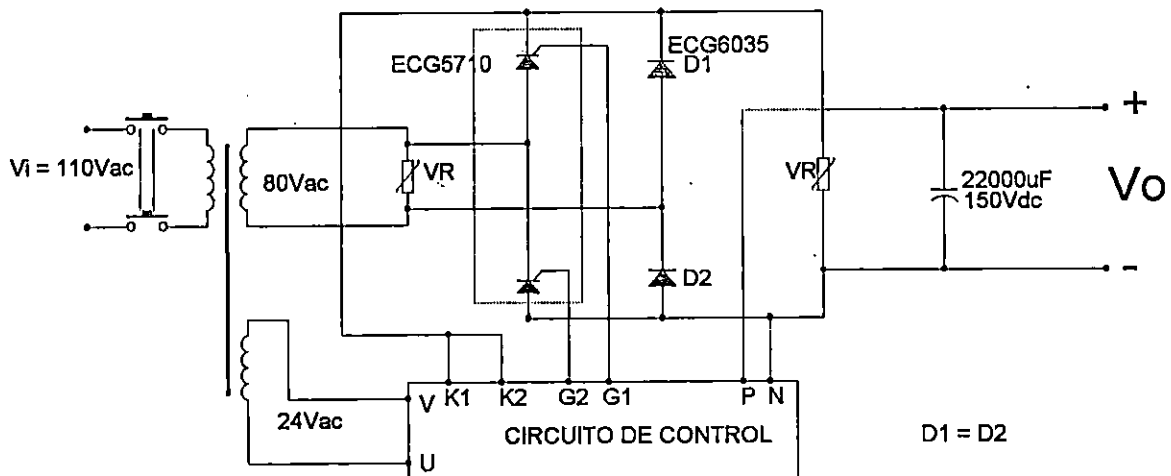


Figura 1.3. Diagrama de bloque del rectificador regulador

La figura 1.4 muestra el diagrama electrónico del regulador de voltaje en cual se utiliza el control de fase de corriente alterna. El suministro de energía se logra a través del puente rectificador del diodo MB04, la resistencia de limitación R_1 y el diodo zener Z_{D1} , el cual regula a un voltaje aproximado de $22 V_{dc}$.

La generación de pulsos se logra a través del circuito oscilador por medio del transistor de unijuntura TD_1 , el cual proporciona pulsos al transformador T_1 , permitiendo un aislamiento del circuito regulador de voltaje y el rectificador de potencia.

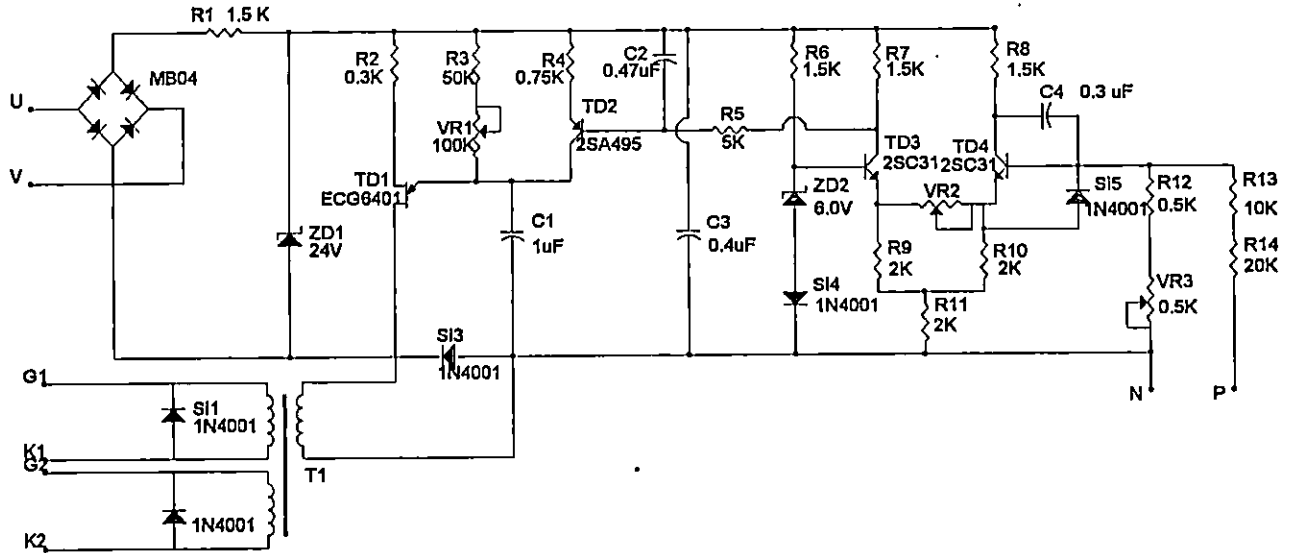


Figura 1.4 Circuito de control de disparo de los tiristores.

El tiempo de disparo del transistor de unijuntura TD_1 se logra a través de la malla compuesta por la resistencia R_3 , la resistencia variable V_{R1} y el capacitor C_1 . Para obtener un voltaje constante a la salida sin que se tenga variación a la entrada, la malla proporciona el voltaje de disparo a TD_1 , para la generación de los pulsos de conducción de SCR1 y SCR2.

El voltaje de referencia se logra a través del diodo zener Z_{D2} , la resistencia R_6 y el diodo S_{14} .

Cuando la tensión de entrada varía dentro de los límites especificados se muestra la tensión de salida del rectificador y se compara con el voltaje de referencia a través del circuito diferenciador compuesto por TD_3 y TD_4 . La diferencia de tensión se amplifica por medio de TD_2 y se inyectará como la señal de error a la sección del generador de pulsos (TD_1) para controlar el ángulo de fase de pulsos, (frecuencia de pulsos) de este modo se controla el ángulo de conducción de los tiristores.

El circuito diferenciador se observa en la figura 1.4, el cual esta compuesto por los transistores TD_3 y TD_4 , cuando el voltaje de salida aumenta, esta variación se realimenta por las resistencias R_{14} , R_{13} , R_{12} y V_{R3} causando un aumento en la corriente de colector de TD_4 proporcionando a la base de éste un voltaje mayor y una disminución de corriente de colector de TD_3 , de este modo la tensión de R_7 disminuirá, por consiguiente la tensión de base del transistor TD_2 disminuirá con respecto a la tensión de emisor.

Así se reduce la corriente de colector TD_2 , disminuyendo el gradiente (dV/dt) de carga del condensador C_1 , atrasando la llegada del voltaje de umbral al transistor TD_1 provocando un desfase de la generación de pulsos. Reduciendo así el ángulo de conducción de los tiristores, por lo tanto la tensión de salida disminuye al voltaje correcto. Ahora cuando el voltaje de referencia (voltaje de ZD_2 y Si_4) es mayor que el muestreado provoca una mayor conducción en el transistor TD_3 , a su vez aumenta el voltaje que polariza la base del transistor TD_2 suministrando una corriente mayor al capacitor C_1 , así se disminuye su tiempo de carga y se alcanza el voltaje de umbral que dispara a TD_{R1} más rápido.

Por consiguiente la fase de disparo del tiristor se adelanta logrando aumentar la tensión de salida del rectificador a un voltaje constante deseado (Es decir se aumenta el ángulo de conducción de los tiristores).

Para alisar el voltaje de salida del rectificador principal se utiliza un filtro capacitivo que tiene un valor muy alto de capacitancia ($22000\mu f \times 150$ Vts) para garantizar una constante de tiempo de descarga grande y entregar un voltaje constante de DC al inversor trifasico que se utilizará tratando de minimizar el voltaje de rizo que se tendrá.

Conclusiones:

1. Para mantener una tensión estable en la fuente de voltaje directo, se aumenta la capacitancia del filtro de directa, con objeto de suministrar mas potencia a la carga (el inversor).
2. Desplazando el ángulo de disparo de los tiristores en la fuente de directa, cerca de 0° se logró mejorar el factor de potencia y el voltaje RMS de la fuente dando una mejor estabilidad.
3. Se logró mantener estable el voltaje del rectificador tomando un muestreo de la salida y dando una realimentación al control de disparo de los tiristores para tener una respuesta rápida ante variaciones en la carga o la alimentación del mismo.
4. La reducción de voltaje de entrada permite aprovechar ala máxima potencia promedio del semiciclo haciendo mayor la potencia de suministro al inversor.

Bibliografía.

- S.B. Dewan, Straugen. A., Electrónica de Potencia, impreso en TORONTO, CANADA, publicado en 1975.
- R.K. Sugandhi, K. K. Sugandhi Tiristores, Conceptos y Aplicaciones, impreso en México por editorial Limusa, 1985.

CAPITULO II

Introducción.

Los inversores trifásicos han tenido un desarrollo en varios campos de la ingeniería, desde aplicaciones para electrónica hasta aplicaciones en el manejo de grandes potencias.

Existen varios tipos de inversores, los cuales se pueden clasificar por el tipo de conmutación, por tipo de configuración de los dispositivos a conmutar. A continuación se presenta el diseño de un inversor trifásico de conmutación forzado utilizando el microprocesador Z80 para la generación de pulsos de disparo de los dispositivos a conmutar.

En el capítulo II se presenta el diseño del circuito de potencia y sus características y la etapa de control electrónico del cual consta el inversor.

El anexo se puede observar las características electrónicas de los principales dispositivos electrónicos que se han utilizado.

2 INVERSOR DC/AC

Los inversores son los circuitos que convierten potencia DC a potencia AC, al voltaje y frecuencia que se desee.

Generalmente los circuitos inversores se implementan utilizando tiristores, ya que se encuentran disponibles con grande índices de voltaje y de corriente, y la potencia del sistema requerido también es considerablemente menor en comparación con otros dispositivos tales como los transistores de potencia.

Existe una gama diferente de inversores, ya que incluso los circuitos rectificadores se pueden hacer operar como inversores con cierta modificación, pero una clasificación acertada de los inversores es bajo dos grande encabezados:

1. Inversores conmutados en línea
2. Inversores conmutados en fuerza.

2.1 Circuitos inversores conmutados en línea.

En los circuitos conmutados en línea, debido a que el voltaje alterno al que se somete el tiristor pasa por cero, lo cual hace que el tiristor se apague al ser polarizado en inversa en forma natural. Sin embargo, este tipo de circuitos inversores puede solamente operar en un sistema de corriente alterna en donde la forma de la onda de voltaje se mantiene relativamente independiente de la operación del circuito. Los circuitos inversores conmutados en línea pueden clasificarse a su vez en :

- Inversores ordinarios
- Inversores conmutados armónicos.

2.2 Circuitos inversores conmutados en fuerza.

En el circuito conmutado forzado se necesita de ciertos medios externos para apagar rápidamente el dispositivo y los circuitos inversores que se basan en este principio se conocen como circuitos inversores conmutados en fuerza. Si se les compara con los circuitos conmutados en línea, proporcionan en forma independiente una salida de AC de frecuencia variable y así tienen aplicación mucho mas amplia. Pero como el tiristor va a apagarse en forma brusca (forzada), necesita mucho mas circuitos electrónicos que el arreglo de conmutación en línea.

Los circuitos inversores de conmutación forzada pueden a su vez clasificarse en:

- Inversor conmutado de capacitor en paralelo;
- Inversor conmutado en serie;
- Inversos conmutado de impulso.

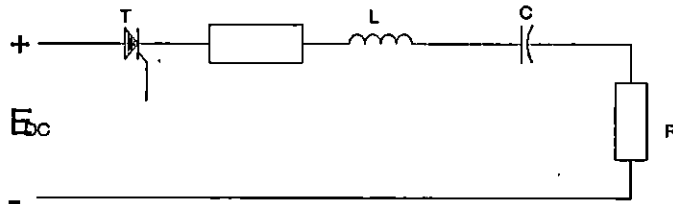


figura 2.1. Conmutación por corriente.

2.3 Circuito de conmutación.

En los inversores conmutados en fuerza existen diferentes medios para apagar estos tiristores. Según el tipo de circuito y el método utilizado para apagar a un dispositivo, así será la complejidad que tendrá el circuito de control.

Un ejemplo de un inversor es un rectificador de media onda de fase única.

Los inversores conmutados armónicos utilizan un suministro armónico de corriente alterna en lugar del voltaje de línea para la conmutación.

2.3.1 Conmutación por corriente.

Un tiristor se apaga automáticamente cuando la corriente que circula por él cae por debajo de su valor de corriente de referencia. Los circuitos de conmutación que utilizan este principio se conocen como circuitos de conmutación de la corriente.

Los inversores en serie trabajan bajo este principio; se conectan en serie con un capacitor una carga y un inductor. En el disparo del tiristor la corriente aumenta lentamente alcanzando su valor máximo y en seguida comienza a caer hasta quedar por debajo del valor de la corriente de retención, en donde el dispositivo automáticamente queda apagado. La inductancia y la capacitancia forman el circuito oscilatorio.

En la figura 2.1 se muestra el circuito:

El tiempo en que el dispositivo quedará apagado se determina mediante la frecuencia resonante del circuito y por lo mismo en ocasiones a este tipo de conmutación se le llama también "conmutación a resonancia".

En ocasiones la corriente a través del tiristor que conduce se reduce por debajo del nivel de corriente de referencia mediante el disparo de otro tiristor auxiliar, como sucede en el caso del inversor puente.

2.3.2 Conmutación por voltaje.

En este tipo de conmutación, se aplica en forma repentina un voltaje inverso a través del dispositivo (tiristor) que lo apagará. Los circuitos inversores en paralelo son ejemplos típicos de conmutación por voltaje.

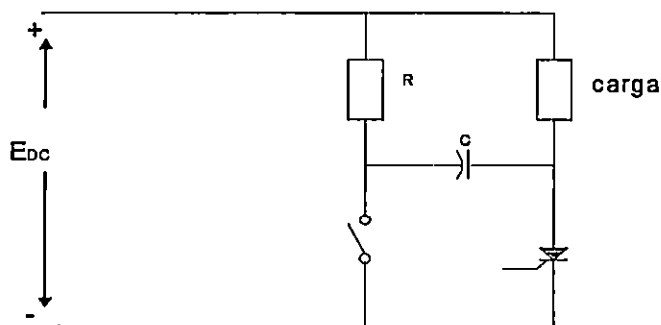


figura 2.2. Conmutación por voltaje.

Este tipo de conmutación también se le conoce como conmutación de impulso.

La figura 2.2. muestra un circuito simple para la explicación de este tipo de conmutación. Cuando el tiristor T conduce, el capacitor C carga. El momento en que se requiere la conmutación forzada, el interruptor "S" se cierra y el voltaje inverso es aplicado a través del tiristor T que inmediatamente se apagará.

Cuando se reemplaza el interruptor por un tiristor, éste método de conmutación se llama de "Conmutación Auxiliar" que tiene que ser disparado para conmutar al tiristor principal. Este principio encuentra aplicación principalmente en los inversores puente.

2.4 Conmutación forzada por voltaje de un inversor de puente monofásico.

Los requisitos básicos de un circuito de conmutación forzada por voltaje en un inversor de puente se pueden establecer en relación con la figura

2.3. Es necesario que el circuito lleve a cabo en secuencia las siguientes funciones, la respuesta al disparo alterno de los tiristores T_{r1} y T_{r4} :

1. Con T_{r1} conduciendo (i_L positiva), encender T_{r4} (o inicialmente D_4 si la carga es inductiva) y apagar T_{r1} con el interruptor S cerrado en cualquier posición; y
2. Con T_{r4} conduciendo (i_L negativa); encender T_{r1} (o inicialmente D_1 si la carga es inductiva) y apagar T_{r4} con S cerrado en cualquier posición.

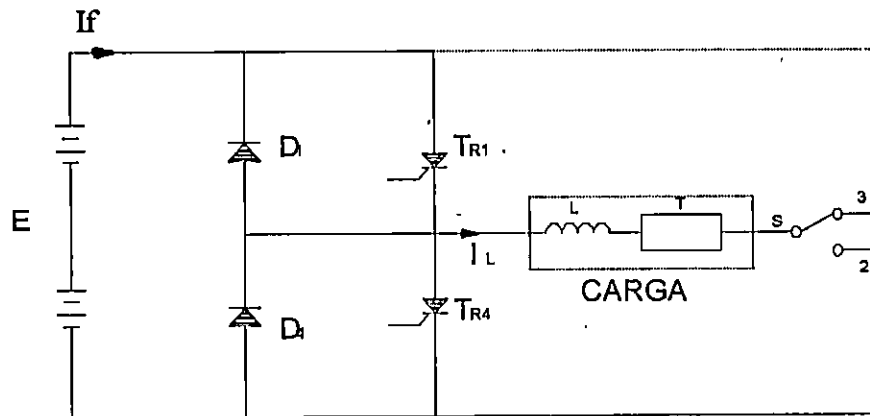


Figura 2.3. circuito básico de una fase de un inversor puente.

El interruptor S representa las condiciones en el otro lado de un puente monofásico. Por ejemplo, con S en la posición 3 y D_1 conduciendo la corriente de la fuente i_f debe ser cero, pero S en la posición 2 y D_1 conduciendo, i_f es negativa y la fuente absorbe energía suministrada por la inductancia de la carga.

Los circuitos de conmutación forzada que se van a describir aprovechan la naturaleza secuencial de las funciones conmutadoras necesarias para cada medio puente, asegurando que, después de cada operación de conmutado, el circuito quede preparado para la siguiente.

2.4.1 Circuitos de conmutación de impulso con tiristor auxiliar (McMurray)

El circuito de McMurray, emplea dos tiristores auxiliares y un circuito resonante LC en serie con la carga inicial del capacitor, de forma que la descarga entre el ánodo y el cátodo del tiristor para apagarlo reducirá a cero la corriente ánodo-cátodo. Entonces se aplica un voltaje de polaridad inversa el tiempo suficiente para restablecer al tiristor al estado de bloqueo, antes del volver a aplicar el voltaje directo ánodo-cátodo. El comportamiento subsiguiente del circuito deja al capacitor cargado con la polaridad apropiada para el apagado en curso del tiristor complementario.

El circuito completo para un inversor de medio puente aparece en la figura 2.4. con los dispositivos de conmutación T_{r1A} , T_{r4A} C y L. Mientras que T_{r1} , T_{r4} son los dispositivos de potencia del inversor a conmutar (encender y apagar). Supóngase, inicialmente que el rectificador principal T_{r1} está conduciendo la corriente de carga desde la parte superior de la fuente dc. Además asumir que el capacitor C esta cargado con el terminal Y positivo con respecto al terminal X, como se muestra en la figura 2.5. la carga ha sido adquirida durante previa operación.

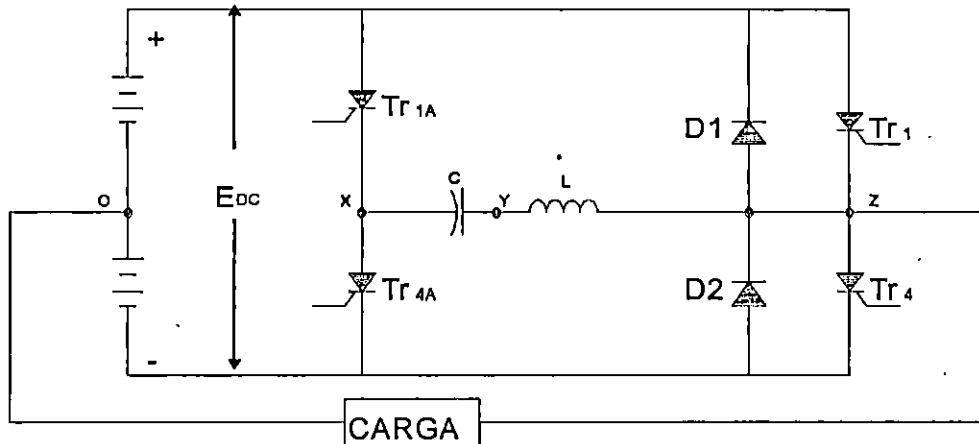


Figura 2.4. Inversor Conmutado por impulso Auxiliar (Inversor de Mc Murray)

Entonces para conmutar el rectificador controlado principal T_{r1} , el rectificador controlado auxiliar T_{r1A} debe ser encendido. El circuito equivalente de inversor bajo estas circunstancias se muestra en la figura 2.5. La descarga del pulso de corriente a través de T_{r1A} , C y L se diseña de tal manera que exceda la corriente de carga I_L (asumiendo que fluye desde Z a O a través de la carga en este mismo instante). Esto hace que la corriente a través de T_{r1} sea reducida a cero. El exceso de impulso de la corriente de conmutación i_c arriba de la corriente de carga I_L fluye a través del rectificador de realimentación D_1 . Después de alcanzar un valor pico, la corriente de conmutación i_c comienza a disminuir, y una carga de polaridad inversa aparece sobre el capacitor C. Durante el tiempo que D_1 esta conduciendo, la caída en directa de D_1 aparece como un voltaje en reversa a través de T_{r1} , y éste se apaga.

El segundo rectificador controlado T_{r4} es encendido aproximadamente al mismo tiempo cuando la corriente en el capacitor i_c retorna a cero; en la condición sin carga, esto ocurre aproximadamente en πLC segundos, o medio ciclo de oscilación entre L y C, después del encendido de T_{r1A} . El circuito equivalente de el inversor que esta siendo conmutado se representa en la figura 2.6, el voltaje en directa es reaplicado a T_{r1} , y un segundo y mucho más pequeño pulso de corriente i_c fluiría desde la fuente dc a través de T_{r1A} , C, L y T_{r4} para compensar las perdidas incurridas durante el primer pulso y

completar la carga del capacitor a la magnitud inicial, pero con polaridad opuesta (X positivo con respecto a Y). Después del segundo pulso, el T_{r1A} tiene aplicado un voltaje en reversa y cesa de conducir. El capacitor esta ahora listo para conmutar a T_{r4} al final de este medio ciclo de conducción, de forma análoga es fácilmente determinada la secuencia de encendido de T_{r4} y su complementario T_{r4A} .

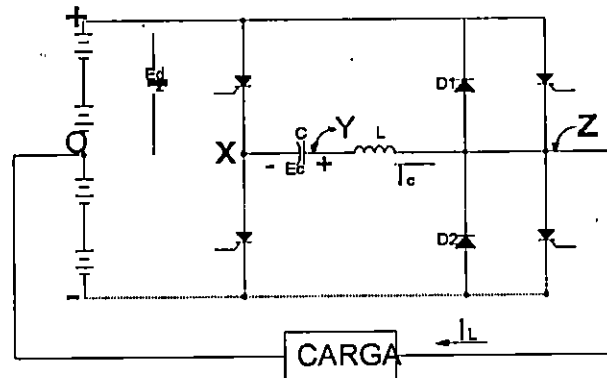


Figura 2.5. circuito equivalente de la figura 2.4. durante la primera parte del intervalo de conmutación

Con carga inductiva, D_2 conducirá y swicheará el circuito al de la configuración de la figura 2.6 antes de que T_{r4} es encendido, cuando la corriente de conmutación i_c cae por debajo de la corriente de carga I_L . La energía almacenada en la inductancia de conmutación L en este instante causará o facilitará que el capacitor C se carga a un voltaje mayor. Este incremento en el voltaje en el capacitor C produce un mayor impulso de corriente en la conmutación, haciendo posible el superar la corriente de carga que va a ser el conmutado. Además este circuito tiene la ventaja que el pulso de conmutación varía con la carga automáticamente, una característica deseable la cual es difícil de obtener en otros tipos de conmutación. Además ya que los pulsos de conmutación son mínimos en la condición sin carga, las pérdidas sin carga son insignificantes. El voltaje de carga es una onda cuadrada en las condiciones de vacío o sin carga.

2.4.2 Circuito complementario mutuamente acoplado de conmutación por impulso (McMurray-Bedford).

Este es el segundo método que se describirá, su diferencia con el circuito anterior es que no usa tiristores adicionales, sino un par de capacitores y un inductor mutuo, estrechamente acoplado, cuyos devanados están conectados en serie con los tiristores a conmutar. Además de que el pulso de conmutación es independiente de la carga, así como también solo se controlan los pulsos de disparo de las compuertas de los dos tiristores,

mientras que en el anterior eran cuatro tiristores a controlas, lo que incrementa la complejidad del circuito de control.

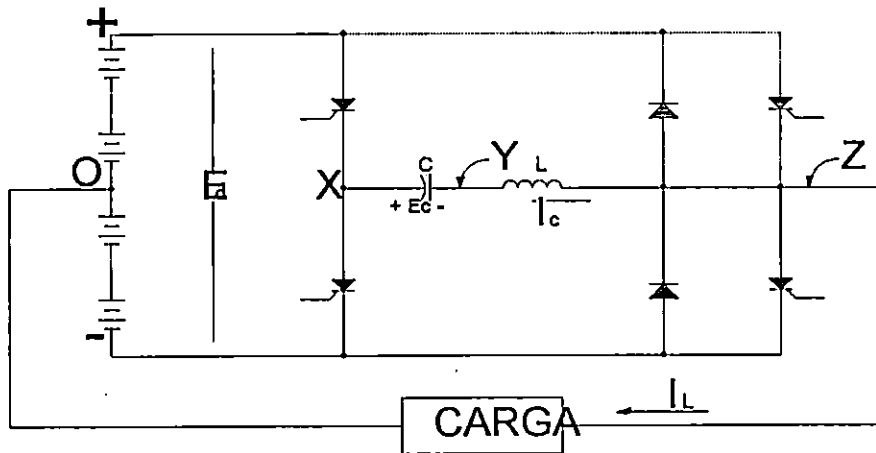


Figura 2.6 Circuito equivalente de la figura 2.4 durante la segunda parte del intervalo de conmutación

Aquí, la disposición de los capacitores es simétrica con respecto a los brazos del medio puente. Antes de cada acción de conmutación, se almacena en el inductor energía del campo magnético proporcional al cuadrado de la corriente portada por el tiristor que se va a apagar. También se almacena energía en el capacitor complementario que está cargado para suministrar voltaje.

Al iniciarse el proceso de conmutación, el requisito fundamental de que no puede haber cambios instantáneos de la energía almacenada en el inductor, permite una transferencia instantánea de corriente de un tiristor al otro, mientras el capacitor inicialmente cargado asegura, por la acción del transformador, que se mantenga un voltaje de polaridad inversa a través del tiristor que conducía previamente, durante una fracción calculable del periodo de oscilación resonante. La oscilación continua por menos de un cuarto de ciclo, durante el cual la carga del capacitor inicialmente se reemplaza por una idéntica de polaridad apropiada en el capacitor complementario. Luego, se deja que el diodo en paralelo, con el tiristor accionado, lleve la corriente de carga inductiva y haga llegar a cero la corriente del inductor mutuo.

En la figura 2.7a. aparece el diagrama general del circuito que incorpora las componentes adicionales: Un inductor y un par de capacitores idénticos.

Para realizar un análisis de este tipo conmutación se supondrá que la carga es inductiva, por lo tanto, la corriente de carga se mantiene en el valor de I_L durante la conmutación (en un inductor no varia bruscamente su corriente). Además se asumirá arbitrariamente que la corriente de carga reforma por la superior del circuito. Partiendo de que T_{r1} esta conduciendo inicialmente, se observará que la corriente de carga será mantenida constante al completar la conmutación debido a que se transferirá de T_{r1} a D_4 por un instante.

Con referencia la figura 2.7a. las condiciones antes de activar T_{r4} en el instante t_0 son tales que T_{r1} está conduciendo con $V_{T_{r1}}$ casi cero e $i_{T_{r1}} = I_L$. Las demás corrientes tienen valor cero, lo mismo que V_{C1} , pero el capacitor C_4 está completamente cargado al voltaje de la fuente E . El tiristor T_{r4} tiene polaridad directa a ese voltaje y responde a un tren de pulsos de disparo iniciado en $t = t_0$ cuando el circuito efectivo se convierte en el que aparece en la figura 2.7b.

El efecto inmediato es crear un corto circuito a través del capacitor cargado C_4 que procede a descargarse vía el devanado L_4 y T_{r4} bajo dos restricciones:

1. Existe un crecimiento inmediato de la corriente $i_{T_{r4}}$ que fluye por el devanado L_4 , de cero a I_L , acompañado por una reducción equivalente hasta cero de $i_{T_{r1}}$ que fluye por el devanado L_1 (manteniendo un flujo de núcleo constante), apagando así T_{r1} . A partir de este momento, $i_{T_{r4}}$ debe crecer a una razón proporcional a V_{C4} , donde $V_{C4} = V_{L4} = V_{L1}$ y se tendrá la diferencia $(V_{L1} - V_{C1})$ para invertir la polaridad de T_{r1} .
2. C_4 pierde carga a una razón tal que su caída de voltaje esta balanceada por una elevación igual del voltaje a través de C_1 , manteniendo de esta manera una suma constante igual al voltaje de la fuente E . Esto nos lleva a que i_{C1} sea opuesta a i_{C4} , obteniéndose de la diferencia $(i_{C1} - i_{C4})$ la corriente continua de carga I_L y la corriente que fluye en el devanado L_4 . Así:

$$V_{C4} = L_4 \frac{di_{T_{r4}}}{dt} = V_{C4} \quad 2.1$$

donde:

$$i_{T_{r4}} + I_L = i_{C1} - i_{C4} \quad 2.2$$

Como V_{C4} es positivo $i_{T_{r4}}$ debe crecer desde $(i_{C1} - i_{C4}) - I_L$ hasta que en $t = t_1$ su razón de cambio es la mitad del valor inicial, V_{C4} es igual a $E/2$, con un voltaje igual inducido en el devanado L_1 . En $t = t_1$, con V_{C1} habrá crecido también a un valor $E/2$. A continuación, T_{r1} se polariza en directo, por tanto, el lapso $(t_1 - t_0)$ marca el tiempo de apagado de T_{r1} .

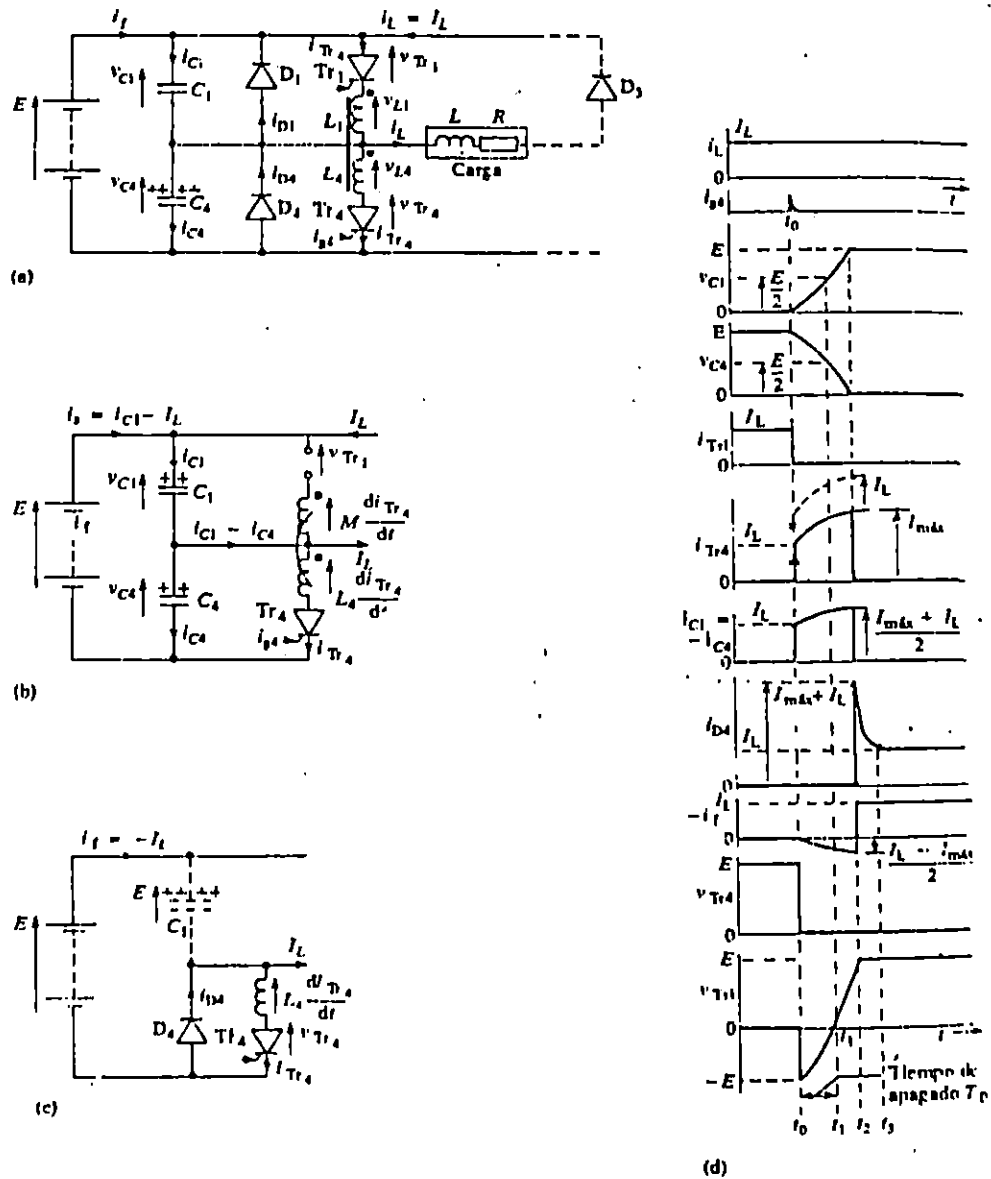


Figura 2.7. Circuito complementado mutuamente acoplado de conmutación acoplado por impulso de Mc Murray-Bedford (a) Circuito básico (b) a (c) desarrollo del circuito efectivo para establecer el apagado de Tr1 al disparar Tr4 y (d) Ondas correspondientes con corriente de carga sostenida después de la conmutación

i_{T_4} continua creciendo hasta alcanzar un valor I_{max} en el instante $t = t_2$, cuando V_{C_4} es cero y $V_{C_1} = E$. La oscilación de energía entre la inductancia L_4 . La fuente y la combinación de capacitores se da con frecuencia $\omega_0 = \sqrt{2LC}$, en donde la transición negativa de V_{C_4} (de voltaje positivo a voltaje negativo) la evita la polarización directa del diodo D_4 . Ya que C_4 solo alcanza el voltaje negativo suficiente para polarizar en directa a D_4 luego se descarga tanto C_4 con la energía acumulada en L_4 a través de este diodo. Es así como C_4 se queda descargado, C_1 se queda cargado a un voltaje E y se obliga a la corriente i_{T_4} a decaer de I_{max} a cero por la ruta de punto muerto que proporciona D_4 , como puede observarse en la figura 2.7c. El proceso de conmutación se completa en $t = t_3$, conduciendo D_4 la corriente continua de carga I_L y dando un pequeño voltaje de polaridad inversa para T_{r4} .

Las ondas tanto de voltaje como de corriente significativas se muestran en la figura 2.7d.

La energía perdida en el proceso de conmutación es $\frac{1}{2}LI^2_{max}$. La energía almacenada en C_4 al inicio se transfiere a C_1 . Este capacitor se deja con una carga de polaridad adecuada a la subsiguiente conmutación de T_{r4} al accionar T_{r1} .

Ahora veremos como se llega a la formula de ω_0 :
justo en $t = 0$ se tiene que el tiristor T_{r4} es encendido con un pulso en su compuerta, y entonces el voltaje $V_{T_{r4}}$ es cero haciendo un lazo que abarque T_{r4} , C_4 y L_4 se tiene;

$$-V_{C_4} - V_{T_{r4}} - V_{L_4} = 0 \Rightarrow V_{T_{r4}}$$

$$V_{L_4} = V_{C_4}$$

2.3

Luego haciendo un LVK que comprenda T_{r1} , C_1 y L_1 se tiene:

$$-V_{C_1} + V_{T_{r1}} + V_{L_1} = 0 \quad \therefore V_{C_1} = 0$$

$$V_{t_{r1}} = -V_{L_1} = -E \quad (2.4)$$

(Con lo cual se apaga T_{r1}).

Con estas condiciones se tiene el circuito de la figura 2.7b. Siempre del circuito de la figura 2.7b. en el lazo que comprende E , C_1 y C_2 se tiene $V_{C_1} + V_{C_2} - E/2 = E/2$

$$\frac{1}{C} \int_0^t i_{C_1} dt + \frac{1}{C} \int_0^t i_{C_2} dt = E$$

$$\frac{i_{C_1}}{C} + V_{C_1(0)} + \frac{i_{C_2}}{C} + V_{C_2(0)} = E$$

Donde los voltajes de C_1 y C_2 justo antes de encender T_{r4} son $V_{C_1} = 0$ y $V_{C_2} = E$,

$$\frac{i_{C1}}{C} + \frac{i_{C4}}{C} + E = E$$

$$i_{C1} = -i_{C4} \quad (2.5)$$

Haciendo LCK en el nodo (a) de la figura 2.7b.(después de encender

T_{r4}):

$$i_L - i_{C1} + i_{Tr4} = 0 \quad (2.6)$$

$$I_L + i_{Tr4} = i_{C1} - i_{C4} \quad (2.7)$$

Donde de ecuación 2.5 se tiene:

$$i_{C1} = \frac{I_L + iT_{r4}}{2} = -i_{C4} \quad (2.8)$$

De la ecuacion 2.3 ahora se tiene:

$$V_{L4} = V_{C4}$$

$$L \frac{di_{Tr4}}{dt} = \frac{1}{C_4} \int_0^t i_{Tr4} dt + V_{C4}(0)$$

$$L \frac{d^2 i_{r4}}{dt^2} = \frac{i_{C2}}{C_4} \quad \therefore i_{C2} = -\frac{I_L + iT_{r4}}{2}$$

$$L \frac{d^2 i_{Tr4}}{dt^2} = -\frac{i_{Tr4} + I_L}{2C_4} = -\frac{i_{Tr4}}{2C_4} - \frac{I_L}{2C_4}$$

$$\frac{d^2 i_{Tr4}}{dt^2} + \frac{i_{Tr4}}{2LC} = -\frac{I_L}{2LC} \quad (2.9)$$

Ahora comparando la ecuacion 2.9 con la ecuacion siguiente:

$$\frac{d^2 i}{dt^2} + \zeta \frac{di}{dt} + \omega_0^2 i = V \quad \text{se tiene que:}$$

$$\omega_0^2 = \frac{1}{2LC} \quad \text{y} \quad \zeta = 0 \quad (2.10)$$

(frecuencia de resonancia)

Resolviendo la ecuación diferencial 2.9 se tiene:

$$\frac{d^2 i_{Tr4}}{dt^2} + \frac{i_{Tr4}}{2LC} = -\frac{I_L}{2LC}$$

Aplicando transformada de Laplace:

$$S^2 i_{Tr4}(S) - Si_{Tr4}(0) - i_{Tr4}(0) + \frac{i_{Tr4}(S)}{2LC} = -\frac{I_L}{2LCS} \quad (2.10)$$

Donde

$i_{Tr4}(0) = I_L$ (la corriente Tr_4 despues de encenderlo)

$$\frac{di_{Tr4}(0)}{dt} = i_{Tr4}(0) = \frac{E}{L} \quad (\text{La razon de variacion de la corriente } i_{Tr4} \text{ en } t = 0)$$

$$S^2 i_{Tr4} - SI_L - \frac{E}{L} + \frac{i_{Tr4}}{2LC} = -\frac{I_L}{2LCS}$$

$$S^2 i_{Tr4} + \frac{i_{Tr4}}{2LC} = SI_L + \frac{E}{L} - \frac{I_L}{2LCS}$$

$$i_{Tr4} \left[S^2 + \frac{1}{2LC} \right] = SI_L + \frac{E}{L} - \frac{I_L}{2LCS} \quad \therefore \frac{1}{2LC} = \omega^2$$

$$i_{Tr4}(S^2 + \omega^2) = SI_L + \frac{E}{L} - \frac{\omega^2 I_L}{S}$$

$$i_{Tr4} = \frac{SI_L}{S^2 + \omega^2} + \frac{E}{L(S^2 + \omega^2)} - \frac{I_L \omega^2}{S(S^2 + \omega^2)}$$

Luego aplicando transformada inversa.

$$i_{Tr4}(t) = I_L \cos \omega t + \frac{E}{\omega L} \text{Sen} \omega t - I_L [1 - \cos \omega t]$$

$$i_{Tr4} = 2I_L \cos \omega t + \frac{E}{\omega L} \text{Sen} \omega t - I_L \quad (2.11)$$

Ahora se tiene que $\text{Sen}(\omega t + \theta) = \text{Sen} \omega t \cos \phi L + \cos \omega t \text{Sen} \theta L$ en la ecuacion 2.11

$$\text{Sen} \phi L = 2I_L$$

$$\cos \phi L = \frac{E}{\omega L}$$

$$\tan \theta L = \frac{\text{Sen} \phi L}{\cos \phi L} = \frac{2I_L}{E / \omega L} \quad \phi = \tan^{-1} \frac{2I_L \omega L}{E} \quad (2.12)$$

$$\text{Y la corriente resultante: } (I_{\max} + I_L)^2 = \left(\frac{E}{\omega L} \right)^2 + (2I_L)^2 \quad (2.13)$$

la ecuacion 2.11 se puede escribir de la forma:

$$i_{Tr4}(t) = (I_{\max} + I_L) \text{Sen}(\omega t + \theta L) - I_L$$

$$\text{Donde } (I_{\max} + I_L)^2 = (E / \omega L)^2 + (2I_L)^2$$

$$\text{y } \theta L = \arctan(2I_L \omega L / E)$$

Ahora la corriente en el capacitor C_4 , el cual mantendrá sin variación la corriente de carga I_L durante la conmutación es (de las ecuaciones 2.5 y 2.6).

$2i_{C4} = iT_{r4} + I_L$ (I_{max} es la corriente que drenara el diodo D_4 en el instante final de la conmutación).

$$2i_{C4} = iT_{r4} + I_L = (I_{max} + I_L)\text{Sen}(\omega t + \phi L) \quad (2.14)$$

Como puede observarse la onda de la corriente total del capacitor tiene una forma senoidal, cayendo V_{C4} a cero cuando en $t = t_2$ (fig. 2.7d), iT_{r4} alcanza I_{max} y $2i_{C1} = -2i_{C4} = I_{max} + I_L$

Si se conoce I_L y se especifica I_{max} teniendo en cuenta la necesidad de mantener bajas las perdidas de conmutación, el tiempo de conmutación puede deducirse al hacer una diT_{r4}/dt en la ecuación. 2.14. También es necesario hacer una buena elección del tiempo de apagado (en segundos) para los tiristores, en base a esto se deduce ω . Se establece luego un valor apropiado de L o C basándose en las ecuaciones 2.12 y 2.13.

El inversor deberá accionar motores trifásicos de potencia nominal menores o igual a 2HP (≈ 1.5 KW) a un voltaje de 208 VAC/60Hz. Por lo cual la especificación de corriente (I_L) y voltaje (E) se utilizara para calcular los valores de L , C , y ω será en base a un motor con la potencia antes mencionada, el cual será la demanda máxima del convertidor.

La fuente de voltaje DC que alimentara el inversor es un rectificador regulador (cap. 1) que da un voltaje de 70 VDC, determinando este voltaje se produce la salida de voltaje pico máximo del inversor ($\pm 70V$) se utilizara un transformador elevador trifásico para lograr obtener el voltaje adecuado para excitar al motor (aprox. 208 Vrms). Esto hace que todos los voltajes y corrientes del lado secundario sean referidos al primario, y poder realizar un calculo mas exacto de los valores de los dispositivos de conmutación.

La figura 2.8 muestra una fase del transformador con los voltajes nominales a los que trabaja. El lado secundario (voltaje mas alto) alimenta al motor. Aun no se presenta el modelo del transformador y del motor debido a que ese análisis se realizara mas adelante también la forma de conexión de los devanadores primarios y secundarios para reducir armónicos en el lado de la carga, se conectará Estrella-Delta.

De la relación de corriente de la figura 2.8 se puede referir la corriente que demanda el motor al lado primario para simplificar análisis, de esta manera se llega a:

$$I_p = 4.16I_s \quad (2.15)$$

en donde se tomara la corriente que demanda un motor de inducción de 2HP el cual operando a 208 V_{AC} y tomando un $\text{fp} = 0.8$ se tendrá una corriente:

$$I = \frac{1500 \text{ Watts}}{\sqrt{3}(208)(0.8)} \Rightarrow I \approx 5.2 \text{ Amp}$$

Ahora de la ecuación 2.15

$$I_p = 4.16(5.2) \rightarrow I_p \approx 22 \text{ Amp}$$

$I_L = 22 \text{ A}$ (referida al primario)

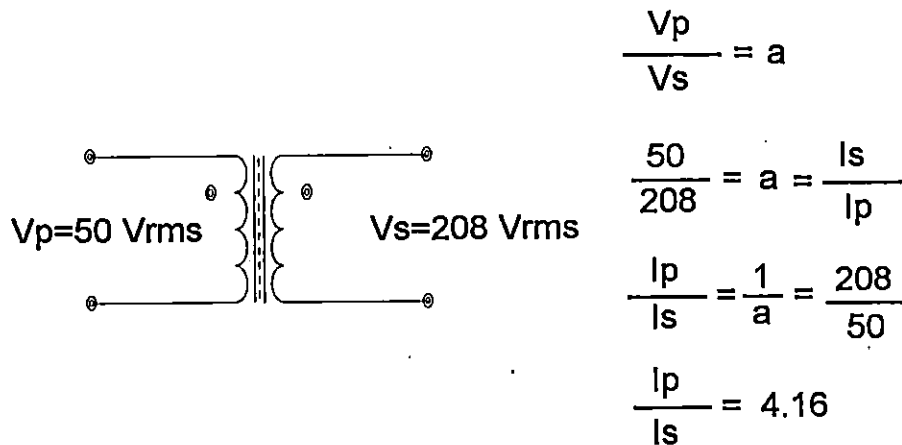


Figura 2.8 Voltaje del transformador

En la ecuación 2.14 se observa que la suma de $I_L + I_{\text{max}}$ garantiza que la corriente de carga se mantendrá constante en el instante de conmutación, para lo cual el capacitor C_1 deberá proporcionar un excedente de corriente en el instante de conmutación la cual es I_{max} . El valor de I_{max} no deberá alejarse mucho del valor de la corriente de $i_{T_{r4}}$ en estado estable (cuando no hay conmutación) el cual es I_L . Mientras mayor sea I_{max} que I_L , el tiempo de conmutación para la potencia máxima a manejar se hace mas pequeño. El valor que se utiliza de I_{max} será de 125% del valor de la corriente de $i_{T_{r4}}$ en estado estable (I_L) así:

$$I_{\text{max}} = 1.25 I_L (22) \approx 28 \text{ Amp.}$$

Ahora para $I_{\text{max}} = 28 \text{ Amp}$ e $I_L = 22 \text{ Amp}$ de la ecuación 2.14 se tiene:

$$i_{T_{r4}} = 2i_{C1} - I_L$$

$$i_{T_{r4}} = (I_{\text{max}} + I_L) \text{Sen}(\omega t + \phi L) - I_L$$

$$i_{T_{r4}} = (28 + 22) \text{Sen}(\omega t + \phi L) - 22$$

$$i_{T_{r4}} = 50 \text{Sen}(\omega t + \phi L) - 22 \tag{2.16}$$

En $t = 0 \rightarrow \omega t$ entonces

$$2i_{C1} = 50 \text{Sen} \phi L = 2(22)$$

$$\text{Sen} \phi L = 0.88 \text{ rad} \rightarrow \phi L = 1.07 \text{ rad/seg.} \quad y$$

$$\cos \phi L = 0.475 \text{ rad}$$

La razón inicial de cambio de i_{Tr4} sería tomar

$$\frac{di_{Tr4}}{dt} = \frac{d}{dt} [50 \text{Sen}(\omega t + \phi L) - 22]_{t=0}$$

$$= 50\omega \text{Cos}\phi L = 23.75\omega \cong 24\omega$$

Luego en $t = t_1$ la razón de cambio de i_{Tr4} es:

$$\frac{di_{Tr4}}{dt} (t = t_1) = \frac{1}{2} \left. \frac{di_{Tr4}}{dt} \right|_{t=0} = \frac{1}{2} (24\omega) = 12\omega$$

Luego para $t = t_1$:

$$50\omega \text{Cos}(\omega t_1 + \phi L) = 12\omega$$

$$\text{Cos}(\omega t_1 + \phi L) = 12/50 = 0.24$$

$$\omega t_1 + \phi L = \text{arcCos}0.24 = 1.328 \text{ rad}$$

$$\omega t_1 = (1.328 - \phi L) \text{ rad} = (1.328 - 1.07) \text{ rad}$$

$$\omega t_1 = 0.2584 \text{ rad}$$

(2.17)

Ahora de la ecuación 2.13

$$\left(\frac{E}{\omega L}\right)^2 = (I_{max} + IL)^2 - (2IL)^2 = (2E\omega C)^2$$

Tomando un valor mínimo de tiempo de apagado de $25\mu\text{seg}$ se tiene:

$$\omega = \frac{0.2584}{25\mu\text{seg}} \Rightarrow \omega = 10336 \text{ rad / seg}$$

$$(2E\omega C)^2 = (I_{max} + IL)^2 - (2IL)^2$$

$$(2E\omega C)^2 = (28 + 22)^2 - (2(22))^2 = 564$$

$$C = \frac{\sqrt{564}}{2(70)(10336)} \Rightarrow C = 16.412 \mu\text{F}$$

Ahora tomando el valor comercial al que se tiene acceso, el cual es de $15\mu\text{f}$ $\Rightarrow C = 15\mu\text{f}$

Luego el valor de L

$$\omega^2 = \frac{1}{2LC} \Rightarrow L = \frac{1}{2\omega^2 C} = \frac{1}{2(10336)^2 (15\mu\text{f})}$$

$$L = 312 \mu\text{H}$$

El tiempo de apagado máximo que se tendrá con estos valores de L y C será cuando el inversor este en vacío, es decir $I_L = 0$.

Haciendo un LVK que involucre a T_{r1} , L_1 , L_4 , T_{r4} y E en la figura 2.7a se tiene:

$$V_{t_{r1}} + V_{L1} + V_{L4} + V_{t_{r4}} - E = 0$$

como T_{r4} esta conduciendo y T_{r1} esta en proceso de apagado:

$$V_{t_{r4}} = 0 \text{ y } V_{L1} = V_{L4}$$

$$V_{t_{r1}} - E - 2V_{L4} \quad (2.18)$$

En donde $V_{L4} = L_4 \frac{di_{T_{r4}}}{dt}$, de Ec (2.12)

$$\text{Se obtiene } V_{L4} = -2\omega r_L I_L \text{Sen}\omega r t + E \text{Cos}\omega r t \quad (2.19)$$

Ahora sustituyendo ecuación (2.19) en ecuación (2.20) se tiene:

$$V_{t_{r1}} = E + 4\omega r_L I_L \text{Sen}\omega r t - 2E \text{Cos}\omega r t \quad (2.20)$$

En el instante en que T_{r1} se apaga, de la curva de $V_{t_{r1}}$ en la figura 2.7 se puede observar que $V_{t_{r1}} = 0$.

$$E + 4\omega r_L I_L \text{Sen}\omega r t - 2E \text{Cos}\omega r t = 0 \quad (2.21)$$

Entonces para $I_L = 0$ (tq max) en Ec.(2.21)

$$\text{Cos}\omega r t = \frac{1}{2} \rightarrow \omega r t = \cos^{-1} \frac{1}{2} = \frac{\pi}{3}$$

$$\Rightarrow tq_{max} = \frac{\pi}{3\omega r}$$

$$tq_{max} = \frac{\pi}{3} \sqrt{2LC} \quad (2.22)$$

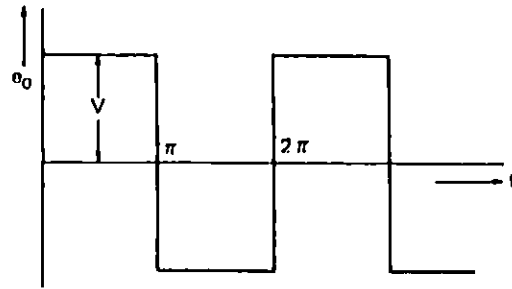
Sustituyendo L y C se tiene:

$$tq_{max} = \frac{\pi}{3} \sqrt{(312\mu H)(15\mu F)}$$

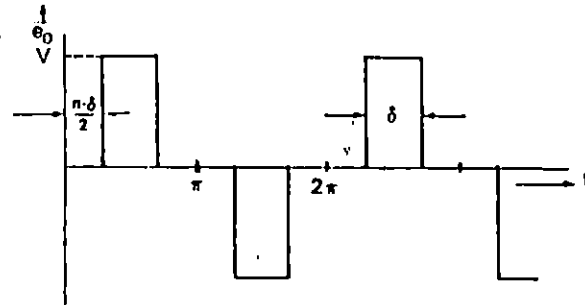
$$tq_{max} = 71.64 \cong 72\mu\text{seg}$$

Luego el rango de tiempo de apagado de los tiristores será de:
 $25\mu\text{seg.} \leq tq \leq 72\mu\text{seg.}$

En un rango de carga menor de 2HP.(0 ~ 2HP).



(a) Salida sin modulación



(b) Salida con modulación en un solo pulso

Figura 2.9 Modulación por un solo pulso.

2.5 Voltaje de salida del inversor.

La forma de onda del voltaje de salida de un inversor no es una senoidal, debido a que esta compuesto por una serie de pulsos, cada una de altura uniforme (igual al voltaje de alimentación de DC).

La formación del voltaje de salida del inversor mediante dichos pulsos se le llama modulación de voltaje.

La modulación del voltaje de salida permite reducir el contenido de armónicos en este y las tres técnicas principales que se utilizan:

- 1) Modulación en pulso únicos.
- 2) Modulación en pulsos múltiples.
- 3) Modulación en pulso senoidales.

2.5.1 Modulación en pulso único.

La forma de onda del voltaje de salida de un inversor de puente monofásico con y sin modulación, se muestra en la figura 2.9a y 2.9b

respectivamente. La forma de onda del voltaje de salida V_o de la figura 2.9a se puede describir como:

$$V_o = \sum_{n=1,3,5,\dots}^{\infty} a_n \text{Sen}(n\omega t) + \sum_{n=1,3,5,\dots}^{\infty} b_n \text{Cos}(n\omega t) \quad (2.23)$$

En donde:

$$a_n = \frac{2}{\pi} \int_0^{\pi} E \text{Sen}(n\omega t) d(\omega t) \quad \text{y} \quad b_n = \frac{2}{\pi} \int_0^{\pi} E \text{Cos}(n\omega t) d(\omega t)$$

Para la modulación en pulso único, el pulso de salida se retarda al inicio y se adelanta al final por intervalos iguales $(\pi-\delta)/2$, en donde "δ" es la anchura del pulso. Así el nuevo valor de a_n en el intervalo

$$\frac{\pi - \delta}{2} \leq \delta \leq \frac{\pi + \delta}{2}; \quad \text{se tiene:}$$

$$a_n = \frac{2E}{\pi} \int_{(\pi-\delta)/2}^{(\pi+\delta)/2} \text{Sen}(n\omega t) d(\omega t) = \frac{4E}{n\pi} \text{Sen}\left(\frac{n\delta}{2}\right) \quad (2.24)$$

Ahora:

$$b_n = \frac{2E}{\pi} \int_{(\pi-\delta)/2}^{(\pi+\delta)/2} \text{Cos}(n\omega t) d(\omega t) = 0$$

Luego:

$$V_o = \sum_{n=1,3,5,\dots}^{\delta} \frac{4E}{n\pi} \text{Sen}\left(\frac{n\delta}{2}\right) \text{Sen}(n\omega t) \quad (2.25)$$

Como puede observarse la amplitud de V_o depende del ancho del pulso (δ). Además se puede observar que V_o es la suma de la componente fundamental de la 3ª, 5ª, 7ª, etc. componente; aquí no son nulos estos valores, lo cual puede dar problemas de operación a la carga.

2.5.2 Modulación de pulso múltiple.

El voltaje de salida del inversor con modulación en pulso múltiple de frecuencia "pf" se muestra en la figura 2.10.

El contenido de armónicos a voltaje de salida bajos pueden ser reducido usando varios pulsos en cada medio ciclo obteniendo la forma de onda de voltaje de salida que se ilustra en la figura 2.10.a).

El número de pulsos por medio ciclo es:

$$N = f/2f_p/2f \quad (2.26)$$

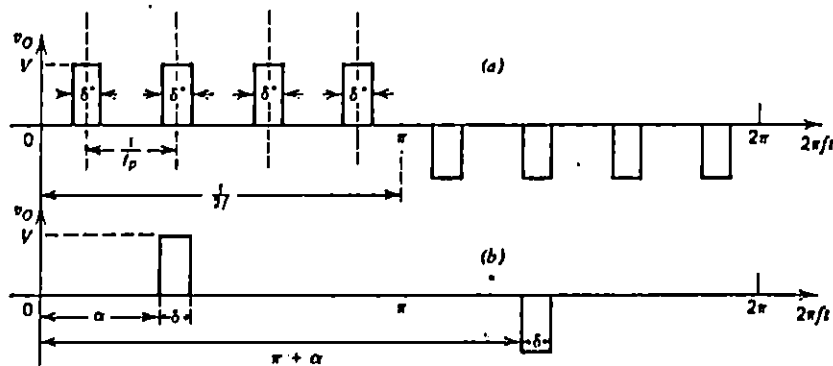


figura 2.10 modulación en pulsos multiples.

donde F_p es la frecuencia de los pulsos por segundo y $f = 1/T$ es la frecuencia del voltaje de salida.

Para variar el voltaje de salida desde cero hasta el máximo valor E , el ancho del pulso " δ " debe variarse entre $0 \leq \delta \leq \pi/N$.

La expresión del voltaje de salida se deriva en forma general para un par de pulsos situados a $\omega t = \alpha$ y $\omega t = \pi + \alpha$, y luego se combina con el efecto de los demás pulsos en todo el ciclo.

Ahora de la figura 2.10.b se tiene:

$$V_o = \sum_{n=1,3,5}^{\infty} a_n \text{Sen}(n\omega t) + \sum_{n=1,3,5}^{\infty} b_n \text{Cos}(n\omega t)$$

en donde:

$$a_n = \frac{2E}{n\pi} [\text{Cos}(n\alpha) - \text{Cos}(n(\alpha + \delta))] \quad (2.27)$$

y

$$b_n = \frac{2E}{n\pi} [\text{Sen}(n(\alpha + \delta)) - \text{Sen}(n\alpha)] \quad (2.28)$$

2.6 Modulación senoidal por ancho de pulso.

Una forma de voltaje de salida utilizando este tipo de modulación se muestra en la figura 2.11. Se puede observar que el ancho del pulso es una función senoidal de la posición angular de cada pulso en el ciclo.

La forma de calcular estos pulsos consiste en utilizar un forma de onda senoidal de amplitud variable y $f = 1/T$ así como también una onda triangular de amplitud fija A_p y frecuencia f_p . Esta onda triangular es invertida en polaridad al final de cada medio ciclo del voltaje de referencia senoidal de frecuencia f . Ahora si "M" es el numero de pulsos de voltaje por medio, entonces:

$$N = \frac{f_p}{2f}$$

Los ángulos para disparar y conmutar los tiristores son determinados por las intersecciones de estas dos formas de onda.

Una practica de eliminar los armónicos de orden 3^a, 5^a, 7^a etc. es mantener la relación de amplitud de la onda senoidal y la onda triangular $0 \leq A/A_p \leq 2$ como puede observarse en la figura 2.12.

También se puede dimensionar la cantidad de armónicos que serán nulos, partiendo de la ecuación siguiente:

$$V_o = \sum_{n=1,3,5,7}^{\infty} A_n \text{Sen}(n\omega t) \quad (2.29)$$

$$\therefore A_n = \frac{4E}{\pi} \int_0^{\pi/2} \text{Sen}(n\omega t) d(\omega t) \quad (\text{cuando existe simetria de } 1/4 \text{ de ciclo})$$

En donde de acuerdo a los armónicos que se harán nulos así es el desarrollo del integral y el numero de pulsos que se obtienen en el voltaje de línea.

Por ejemplo: si se desea hacer nulos el 3^a, 5^a armónico se elegiría el siguiente sistema de ecuaciones:

$$\begin{aligned} 1 - 2\text{Cos}3\alpha_1 + 2\text{Cos}3\alpha_2 &= a_3 = 0 \\ 1 - 2\text{Cos}5\alpha_1 + 2\text{Cos}5\alpha_2 &= a_5 = 0 \end{aligned}$$

La cual al resolver se debería encontrar el valor de α_1 y α_2 , y luego deducir el voltaje de línea partiendo del voltaje V_a de un inversor medio puente y del voltaje V_B del otro inversor de medio puente ($V_A - V_B = V_{AB}$), así como se muestra en la figura 2.13. Obsérvese que V_B esta retrasado 120° de

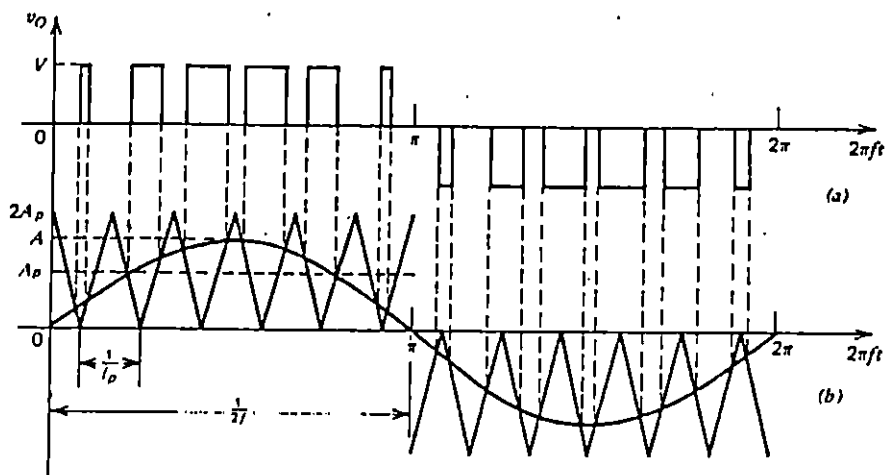


Figura 2.11 Modulación por ancho de pulso senoidal

V_A . (Ambos son voltaje de fase en un inversor 3Φ). Mientras mas pulsos de voltaje tenga el voltaje de línea por medio ciclo, menor riesgo se corre de saturar el núcleo del motor, estos pulsos se limitan también por el tiempo de apagado de los SCR

También se trata de minimizar los armónicos mediante la conexión que se realizara en el transformador que se utilizara, el cual se conectara en estrella-Delta, en este tipo de conexión los voltajes primarios de línea y de fase cumplen la relación $V_{LP} = \sqrt{3V_{\phi p}}$, mientras que las tensiones secundarias

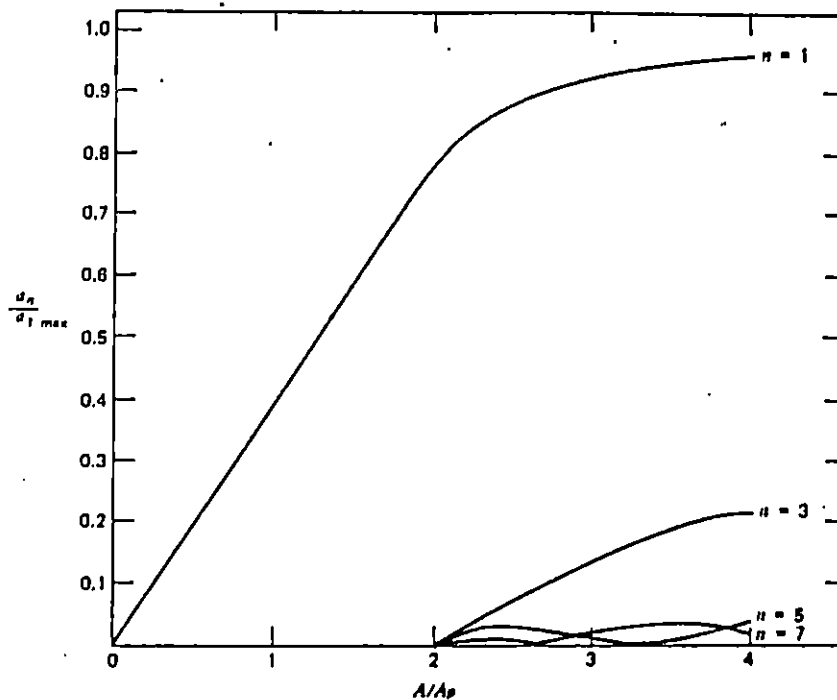


Figura 2.12 Contenido de armónicos de la forma de onda de la fig. 2.11

de línea y de fase son iguales $V_{LS} = V\phi_s$. La relación de tensiones de línea del primario y del secundario del Banco es:

$$\frac{VLP}{VLS} = a\sqrt{3}$$

La conexión estrella-delta no tiene problemas con los componentes de 3^a armónicos, de voltaje puesto que éstos se consumen en corriente circulante en el lado conectado en triángulo. La conexión también es estable bajo carga de desbalanceada, ya que la conexión delta redistribuye parcialmente cualquier desequilibrio que se presente. También en este tipo de conexión las tensiones secundarias están atrasadas 30° respecto las tensiones primarias.

La potencia del transformador que se utilizara es de 3 KVA, 50/208 VAC 3 ϕ 60Hz.

La figura 2.14 muestra el diagrama de conexión

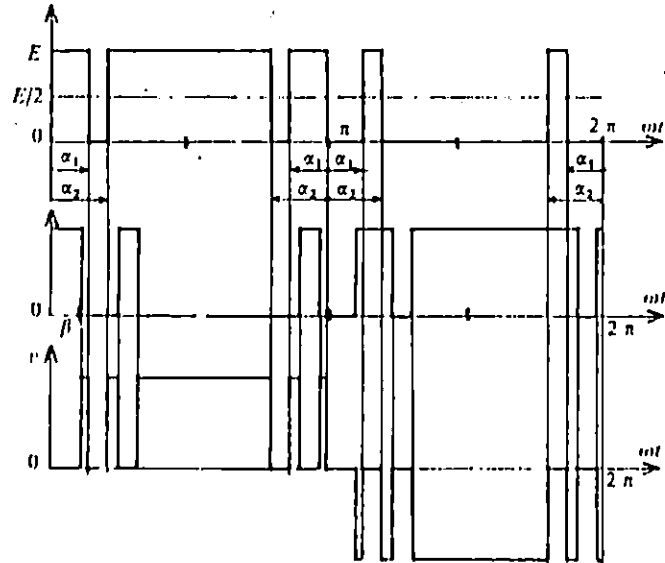


Figura 2.13 Forma de onda al disminuir α_1 y α_2 para reducir armónicos.

2.7 Inversos trifásico.

La figura 2.15 muestra el circuito completo del inversor, formado por 3 inversores de medio puente y se representa también la carga en estrella del transformador que se utilizara. Como puede observarse los valores de C todos son iguales a $1\mu\text{f}$ y los inductores de relación 1:1 son de $312\mu\text{H}$.

Las formas de onda de los voltajes de línea, a línea así como las señales de disparo de los SCR (secuencia que estará en la memoria EPROM de CPU mínimo de Z80), se puede ver en la figura 2.16. como puede observarse los voltajes V_{AB} , V_{BC} y V_{CA} están desfasados entre sí 120° , así como también las señales de disparo I_{Q1} con I_{Q3} e I_{Q2} respectivamente. Las señales de I_{Q4} , I_{Q5} e I_{Q6} son los inversos de I_{Q1} , I_{Q3} e I_{Q2} .

Las formas de onda de los voltajes de línea están constituidos por 7 pulsos de voltaje constante (modulación de ancho de pulso) por cada medio ciclo, observando que existe simetría de cuarto de ciclo en la forma de onda de voltaje V_{AB} , esta se puede representar como la siguiente serie de Fourier que contenga solo términos seno de frecuencias armónicas impares.

$$V_n = B_n \text{Sen}(n\omega t) \quad (2.30)$$

en donde:

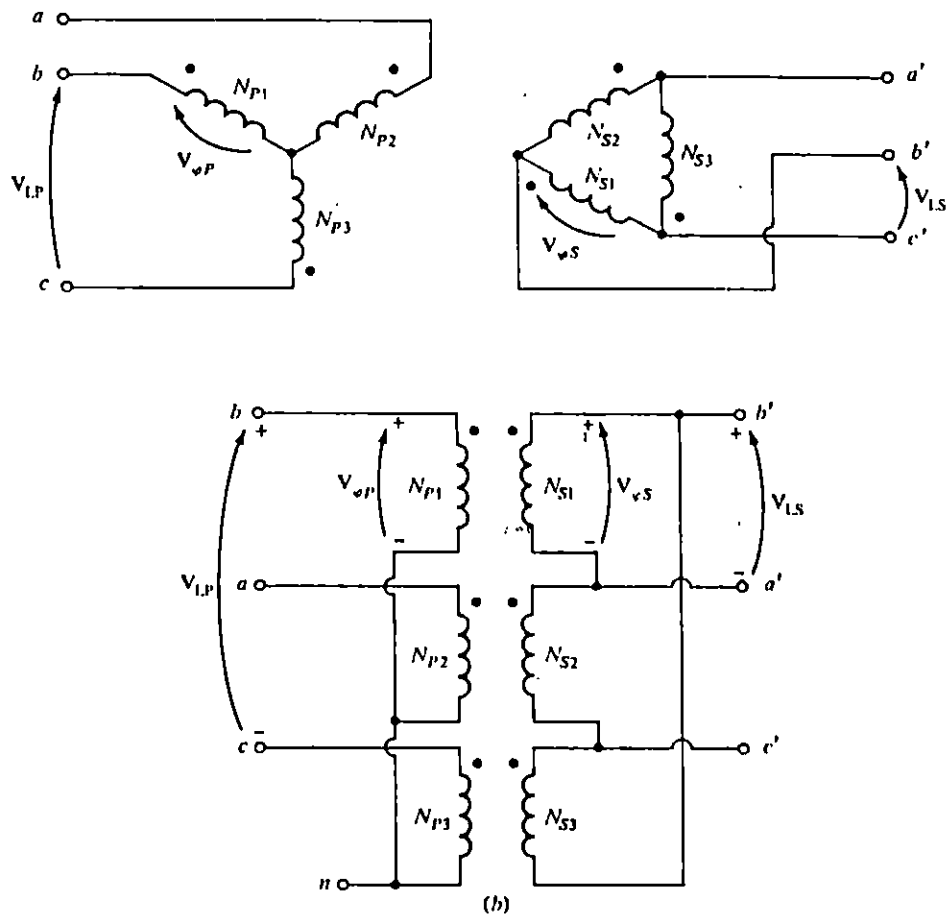


Figura 2.14 Conexión Estrella-Delta del transformador.

$$B_n = \frac{4}{\pi} \int_0^{\pi/2} V(\omega t) \text{Sen}(n\omega t) d(\omega t) \quad (2.31)$$

En donde se observa de la figura 2.16 que por simetría que los ángulos a utilizar son 20° , 30° , 40° , 46° , 54° , 66° , 74° y 90° .

Luego al desarrollar la serie para los intervalos $20^\circ \rightarrow 30^\circ$, $40^\circ \rightarrow 46^\circ$, $54^\circ \rightarrow 66^\circ$ y $74^\circ \rightarrow 90^\circ$ se llega a la forma siguiente:

$$B_n = \frac{4E}{n\pi} [-\text{Cos}30n + \text{Cos}20n - \text{Cos}46n + \text{Cos}40n - \text{Cos}66n + \text{Cos}54n - \text{Cos}90n + \text{Cos}74n] \quad (2.32)$$

Ahora sustituyendo los valore impares de n (1 3, 5, 7, 9) se tiene:

$$\begin{aligned}
B_1 &= 0.766E \\
B_3 &= 0 \\
B_5 &= 0.13E \\
B_7 &= -0.051E \\
B_9 &= 0 \\
B_{11} &= -0.263E \\
B_{13} &= -0.022E \\
B_{15} &= 0
\end{aligned}$$

Lo anterior nos da una idea de la composición de armónicos que tendrá el voltaje de línea a línea (por eje. V_{AB}), y se puede observar que se han anulado con armónicos que mas problemas causan.

Ahora se hará un calculo de la corriente promedio que deberá suministrar el rectificador controlado al inversor, para mantener una corriente pico máxima de 40 Amp. $[28\sqrt{2}]$ a un factor de potencia de 0.8 en atraso.

La ecuación que nos describe la corriente es:

$$i_{SAV} = \frac{1}{\pi} \int_0^{\pi} i_S(\omega t) d\omega t \quad (2.33)$$

Se tomara como origen (0°) el punto en el cual la corriente de carga pasa por cero hacia positivo ($\omega t = \arccos 0.8 = 36.87^\circ =$ ángulo de referencia cero para la corriente de carga).

De la figura 2.16 se sitúa la referencia en $\omega t = 36.87^\circ$ y se calculan las áreas que involucran cada pulso la cual da el valor de corriente quedando:

$$\begin{aligned}
i_{sv} = (40/\pi)[&\cos 9.13^\circ - \cos 3.13^\circ + \cos 29.13^\circ - \cos 17.13^\circ + \cos 69.13^\circ - \\
&\cos 37.13^\circ + \cos 89.13^\circ - \cos 77.13^\circ + \cos 103.13^\circ - \cos 97.13^\circ + \\
&\cos 123.13^\circ - \cos 113.13^\circ - \cos 173.13^\circ + \cos 163.13^\circ]
\end{aligned}$$

$$i_{SAV} \cong 12.26 \text{ Amp}$$

$$P \cong 860 \text{ wats.}$$

2.8 Operación de unidad lógica de control.

El circuito de control es una tarjeta electrónica manejada por microprocesador, el cual permite controlar la generación de pulsos, supervisión y control del sistema en general.

El microprocesador utilizado es del Z80 por versatilidad y fácil manejo, porque sólo requiere de una alimentación única (+5 VDC) además es compatible con la familia lógica TTL.

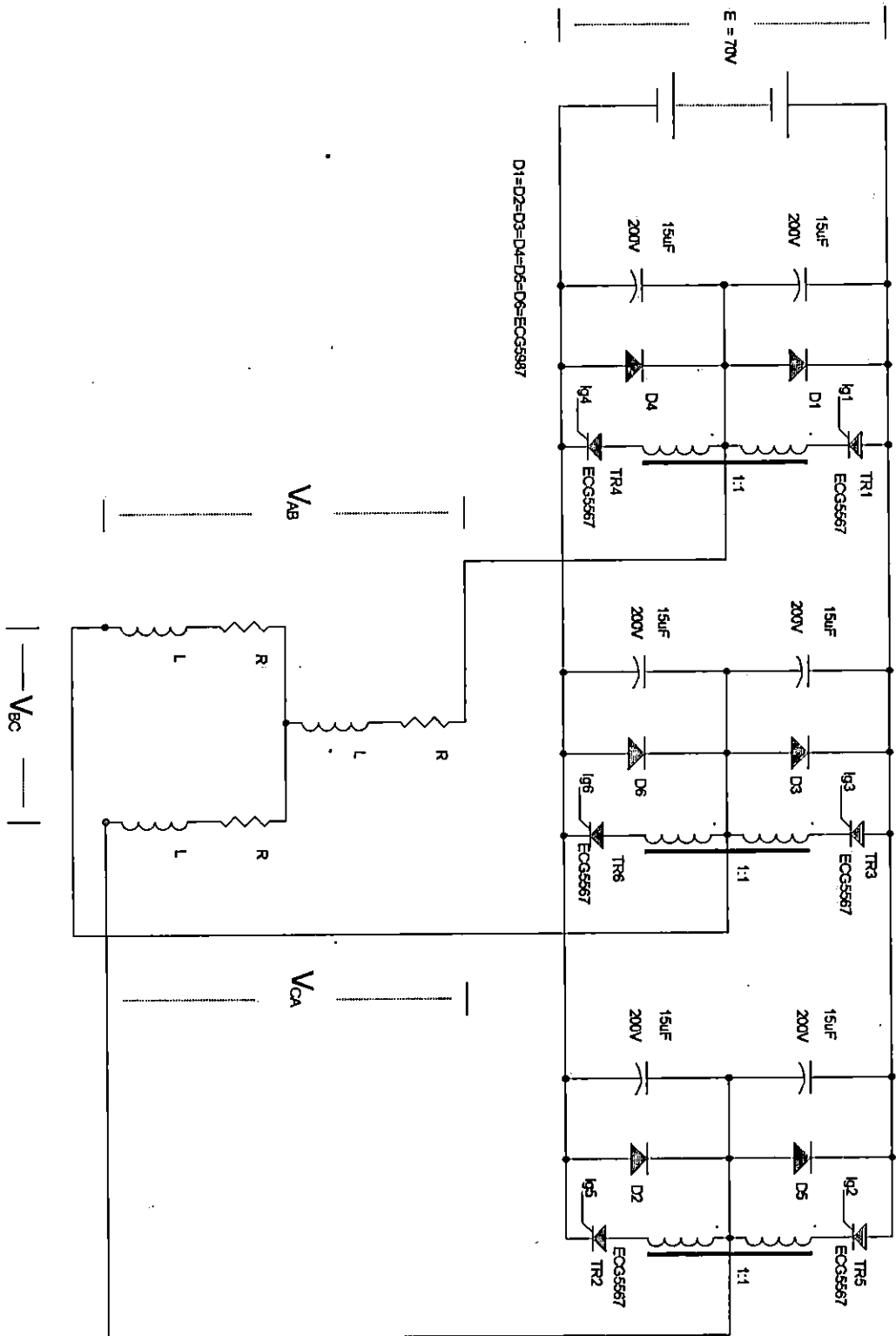
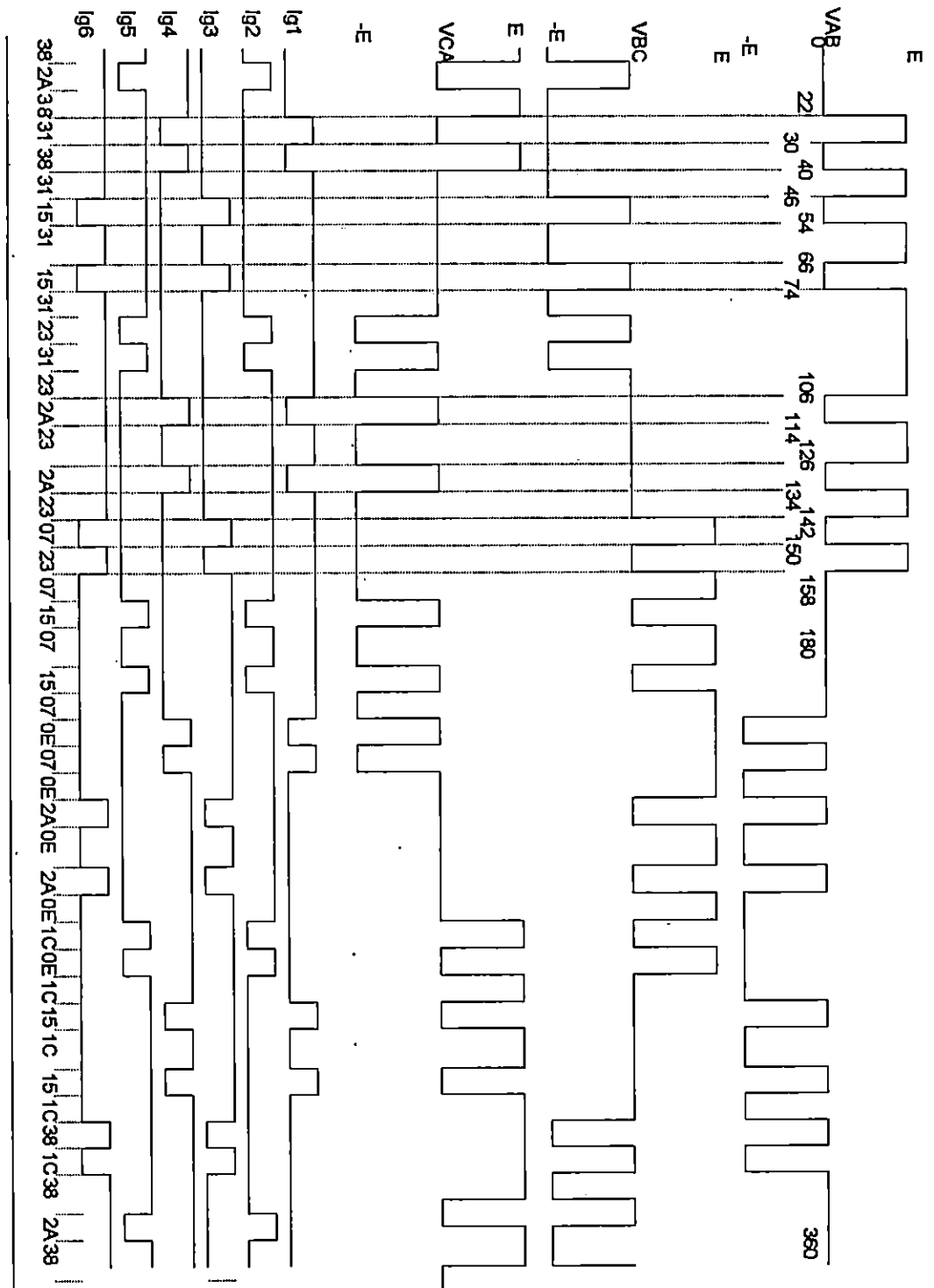


Figura 2.15 Circuito inversor trifásico con carga RL



Disparo en ángulo de conducción
figura 2.16 Voltaje de línea del inversor trifásico y secuencia de disparo de los SCR

Las funciones principales de la tarjeta de control son:

- Operación del inversor trifásico.
- Generación de pulsos del inversor de potencia.
- Supervisión de convertidor del monofásico a trifásico

2.8.1 Maniobra del inversor.

El inversor en estado de reposo (sin carga). Trabaja a voltaje reducido, esperando el microprocesador la señalización de presencia de carga para aumentar el voltaje de salida trifásico, a un estado normal, evitando el transiente de corriente de los motores en el arranque, pudiendo dañar el convertidor de monofásico a trifásico.

2.8.2 Generación de pulsos para inversor de potencia.

El microprocesador a través de un puerto de salida controla los pulsos de los tiristores del inversor de voltaje, generando una señal trifásica, desfasada de 120° entre sí.

La generación de pulsos esta basada en el sistema PWM (modulación por ancho de pulso). Para evitar un nivel de armónico menor a la salida del inversor.

2.8.3 Supervisión del convertidor de monofasico a trifasico.

Para evitar el menor daño posible en el convertidor el microprocesador a través de la interfaces supervisara y controlara las etapas de potencia como:

- fuente de voltaje directa y generación de señal trifásica.
- Temperatura del convertidor.

Para cualquier anomalía del sistema el microprocesador mandará a desconexión del equipo para protección del mismo.

2.9 Hardware de unidad lógica de control.

La unidad lógica de control constituido por el microprocesador Z80 y un sistema mínimo que esta dividido en cuatro módulos que son: Configuración de buses y centro del Z80, la memoria decodificadores, registros de entrada y salida.

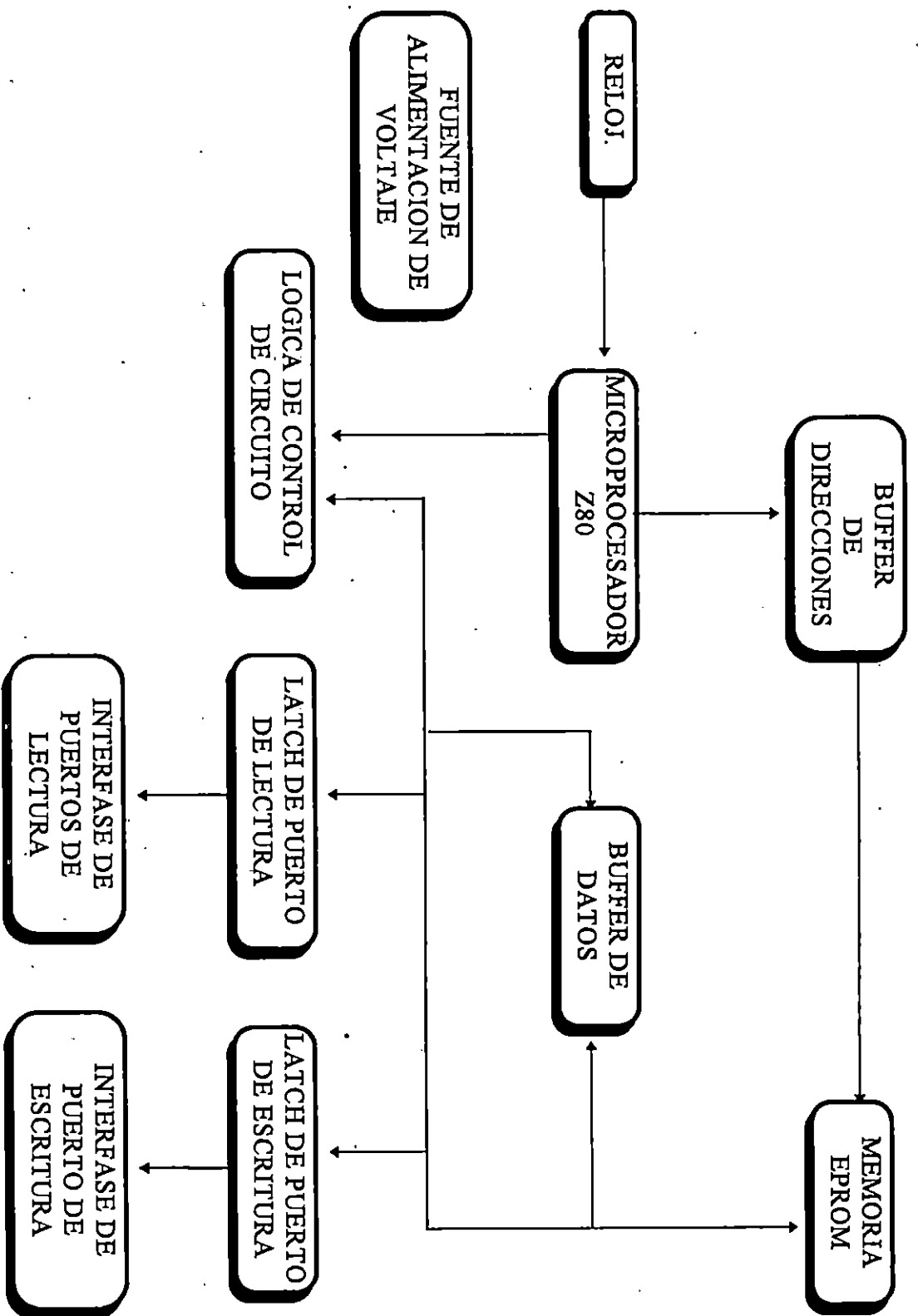


figura 2.17 Diagrama de bloque de la unidad lógico de control

El diagrama en bloque presentado en la figura 2.17 muestra la arquitectura de la unidad lógica de control del convertidor de monofásico a trifásico.

2.9.1 Generación del reloj

El CPU de la unida de control funciona sobre la base de un reloj con cristal de 4.0Mhz.

El microprocesador Z80A requiere un reloj de fase simple y puede ser exitado hasta con CD a 4.0Mhz. la figura 2.18 muestra el ciclo básico de temporización del sistema al ejecutar una instrucción, cada operación básica del CPU, es completada en tres o cuatro periodos de reloj.

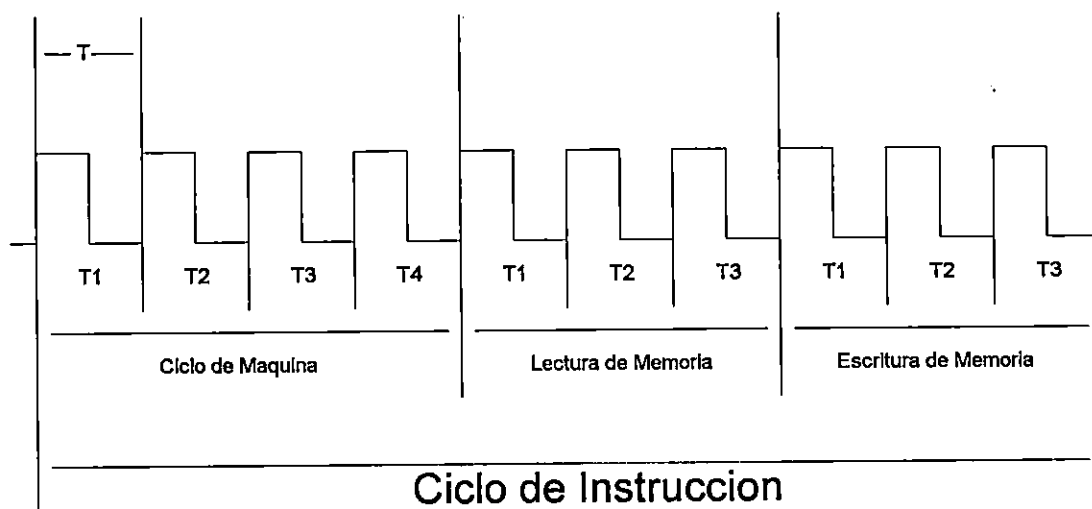


Figura 2.18 Ciclo basico de temporización del sistema.

Un ciclo de maquina (búsqueda de código de operación lectura de memoria y escritura de memoria), en la figura 2.19 se muestra el diseño del circuito de reloj para la CPU Z80A.

El circuito consta de tres compuertas NAND utilizadas como inversores y mediante las resistencias de $1k\Omega$ se realimentan los estados de salida de dos de ellas (la compuerta "a" y la "b") hacia las entradas respectivas de "a" y "b" produciendo esto un cambio constante en los estados de salida de la compuerta "b", los cuales oscilan entre 1 lógico y 0 lógico, en donde el cristal de 4.0Mhz da la pauta con que se deberán realimentar dichos estados. Por eso se llama oscilador con control de CRISTAL.

La compuerta "c" se utiliza para un tren de pulsos TTL ya que la salida de compuerta "b" es afectada por la realimentacion que se da. A la salida de

“c” se ha colocado una resistencia de activación de 330Ω , que es justo el valor que se necesita para una fuente de +5 voltios.

Esta compuerta se podría sustituir por un inversor y se obtendrían los mismos resultados.

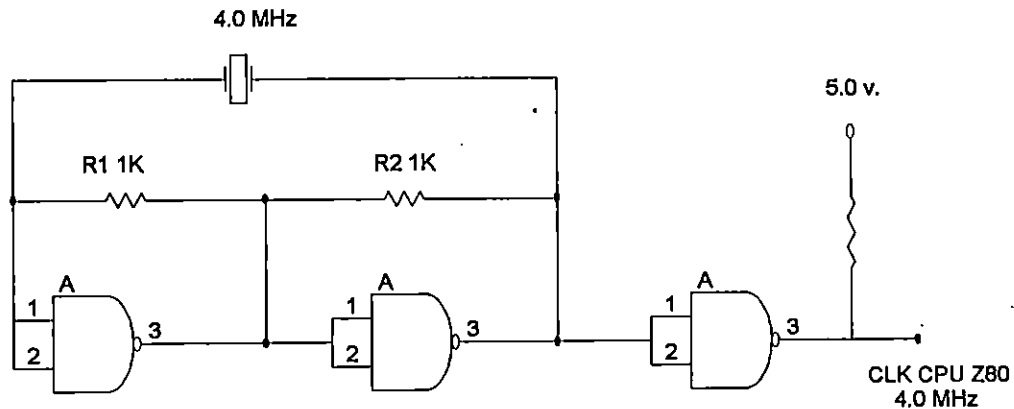


Figura 2.19 Circuito de reloj para unidad lógica

La resistencia de activación se calcula así:

Resistencia

$$\text{Activacion} = \frac{V_{cc} - \text{Ventrada reloj alta}}{I_{\text{max de absorcion del Z80 en estado alto}}} = \frac{5.0 - (5.0 - 0.6)}{1.8mA} = 330\Omega$$

Periodo del reloj vendra dado por:

$$T = \frac{1}{f} = \frac{1}{4.0MHz} = 250nseg$$

Los retardos introducidos desde la compuerta “a” hasta la salida de la compuerta “c” es :

- Cuando hay transición de 1 a 0 : 15 nseg. (Max).
- Cuando hay transición de 0 a 1 : 22nseg. (Max).

Por tanto el tiempo máximo de retraso que tendrá la señal de reloj al hacer transición seria:

$$T_{\text{retraso}} = 2 (22nseg.) + 15nseg. = 59nseg.$$

Que en comparación con los 277 nseg. Del periodo del reloj es bastante pequeño.

2.9.2 Amplificación intermedia o separación de salida de control y bus de direcciones.

El microprocesador Z80 tiene la capacidad necesaria para direccionar directamente 65536 (2×10^4) octetos individuales de memoria de programa (denominado comúnmente, 64 Kbytes) y 256 puertos de entrada y de salida individuales (2×10^8). Puesto que el microprocesador es un dispositivo binario, es natural que esta dirección sea binaria. Hay 16 líneas de direcciones binarias con las etiquetas A0 a A15 inclusive. A0 es el LSB (bit menos significativo) y A15 es el MSB (bit mas significativo).

Los niveles lógicos en este bus no son arbitrarios, la sección de control del procesador central activa el contador del programa para la próxima instrucción a ser ejecutada y en el ciclo de búsqueda coloca el contenido del contador del programa en el bus de direcciones. Durante las instrucciones de E/S, los ciclos de temporización adicionales colocan la dirección del dispositivo de E/S en los 8 bits menos significativos (A0 a A7 inclusive) como este bus tiene que controlar las entradas de muchos dispositivos en paralelo, todos los cuales consumen alguna potencia de entrada. El bus de direcciones debe tener una corriente de salida que satisfaga la demanda de carga.

El microprocesador Z80A, en si mismo puede absorber un máximo de 1.8 mA o una carga TTL en cada terminal. Ello no constituye problema alguno si el diseñador utiliza memorias de baja potencia y chip de interfásicos.

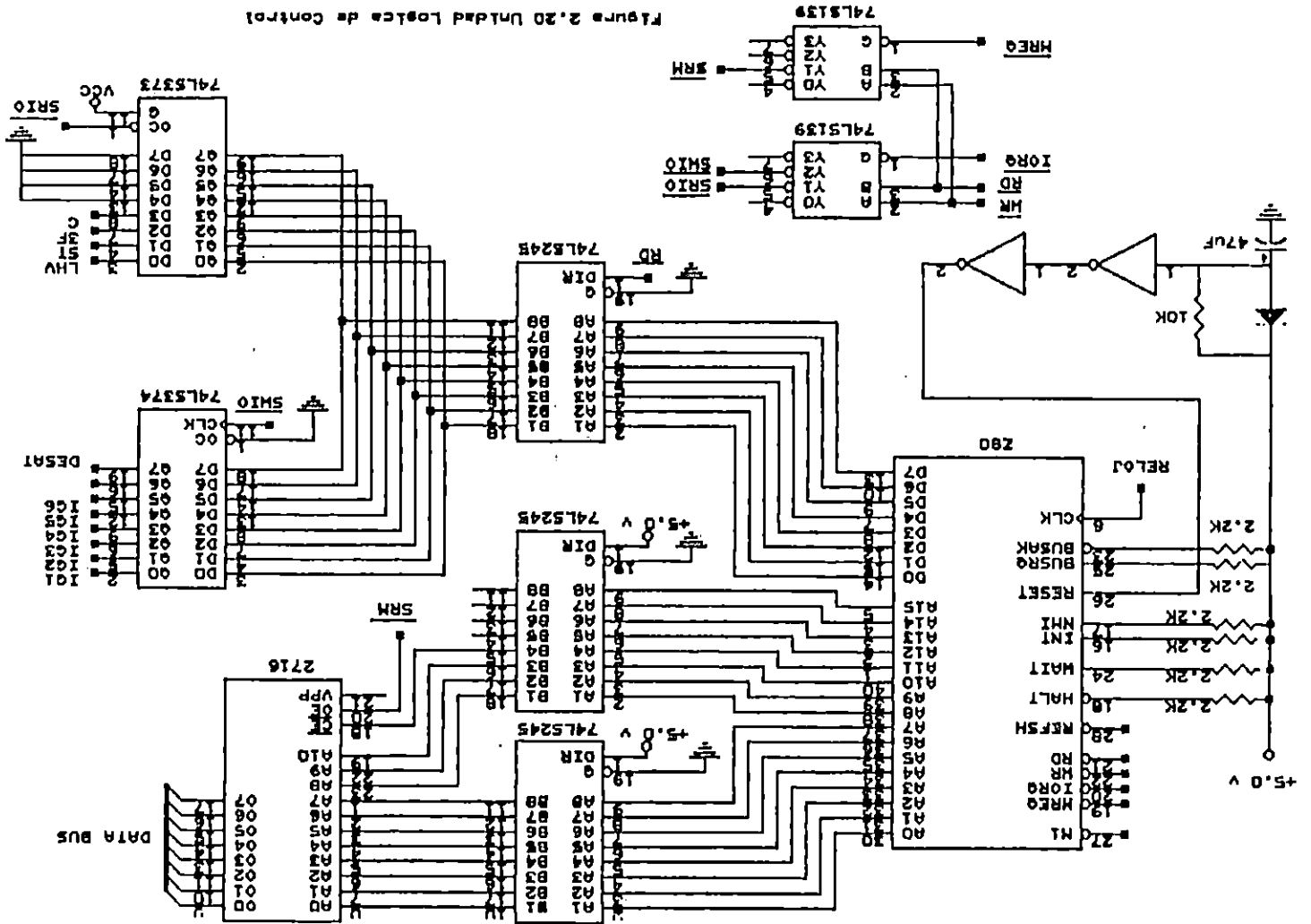
El empleo de dispositivos TTL y CI de densidad mas baja para funciones de descodificación es menos caro, pero exige considerablemente mas alimentación procedente del bus.

En la siguiente tabla se indica la carga de entrada de diversos dispositivos:

DISPOSITIVO	CORRIENTE DE ENTRADA EN EL CASO MAS DESFASABLE
TTL Normal (7404, 7493, etc.)	1.6mA
Schttky y TTL de baja potencia (74LS04, 74LS245, etc.)	0.18 mA
2732 (4kx8 EPROM)	10 Ma

Es fácil constatar que los consumidores de potencia real son dispositivos TTL. Los dispositivos Schottky TTL de baja potencia (LS TTL) ahorran potencia

Figure 2.20 Unidad Lógica de Control



Para no sobrecargar el bus de direcciones del micro, se utiliza un dispositivo de amplificación intermedia "BUFFER" (denominado controlador de bus no inversor). Las salidas A0 a A15 inclusive de Z80A sólo tiene una conexión, que es la de entrada de los controladores todos los demás dispositivos que utilizan la dirección están unidos a la salida de los controladores.

El diagrama y la tabla de verdad del controlador de bus ("buffer") 74LS245 se puede observar en anexos. Este dispositivo tri-estado es capaz de absorber 24mA y puede admitir cualquier combinación de TTL, LSTTL.

La configuración final de buses de dirección se muestra en la figura 2.20 en donde se puede observar que se utilizan dos IC 74LS245 para el bus de dirección (8 líneas en cada buffer), en donde los buffer están habilitados sólo para manejar o enviar direcciones del CPU a las memorias (EPROM) es decir están configurados unidireccional (con $G = 0$ y $DIR = 1$).

2.9.3 Bus de control.

Otras de las conexiones directas del microprocesador es el bus de datos y las restantes del bus de control, la razón para proveer de "BUFFERS" el bus de datos es similar al argumento para el bus de direcciones con una sola excepción : el bus de datos es bidireccional.

Un bus direccional significa, por supuesto que los datos circulan en ambas direcciones, cuando el Z80A esta escribiendo un octeto de datos en una posición de memoria, los datos fluyen desde el procesador central a la memoria cuando el procesador central está efectuando la lectura de un octeto de memoria, los datos fluyen desde la memoria del procesador central. La naturaleza bidimensional del bus de datos exige que los controladores de buses sean bidireccionales internamente.

Una forma de hacer este controlador bidireccional es utilizar el CI 74LS245 pero no se configurará igual que para el bus de direcciones, sino que dependerá su configuración del sentido en que se vayan a desplazar los datos.

En la tabla de verdad de IC 74LS245 (anexos), en donde para configurarlo en forma bidireccional habrá que manejar los pines G y dir de chip, para este caso el pin G se mantendrá en bajo y el pin DIR será el que se cambiara su estado 0 ó 1 lógico dependiendo de en que sentido se vayan a dar la transferencia de datos.

Para controlar la dirección de la transferencia de datos se utilizara una salida de control del CPU Z80A la salida RD normalmente es alta, pero para abajo cuando el micro va a realizar cualquiera de las siguientes operaciones:

- Lectura de memoria ROM
- Lectura de puerto de entrada.

A través del software se genera el pulso de activación de RD, que a la vez cambia la dirección del paso de datos por el buffer de datos según la tabla siguiente:

RD	DIR
1	1. (Transferencia del CPU a memoria o decoders de puertos E/S)
0	0. (Transferencia desde memoria o puertos E/S hacia CPU)

G: Está permanentemente a cero. No se pone en alto debido a que no se utiliza el estado Hi-Z.

RD = DIR (para buffer de datos).

El tiempo de retardo máximo que se da en esta buffer es el mismo que para el buffer de direcciones : 12nseg. Tolerable para el sistema.

2.9.4 Memoria y decodificación de E/S.

Antes de seguir debemos aprender como actúa el direccionamiento de Z80A. Recuérdese que la dirección FF HEX podría referirse a la memoria o al puerto de entrada o al de salida. El sistema debe tener la capacidad de diferenciar entre los tres posible significados.

Las salidas de control de Z80A tienen la información necesaria para el encaminamiento y seleccionamiento con puertas las señales correctas. Para operaciones de memoria y E/S básicas las cuatro señales de especial interés son MREQ, IORQ, RD y WR. Sus definiciones son las siguientes.

- A) MREQ. Petición de memoria, siempre que suceda una transacción entre el procesador central y la memoria, la línea MREQ pasa a nivel lógico "0".
- B) IORQ. Petición de entrada/salida. Siempre que suceda una transacción entre el procesador central y un puerto de entrada o de salida, la línea IORQ pasa a un nivel lógico "0".
- C) RD. Petición de lectura. Siempre que el procesador central lea datos de entrada de la memoria o de un puerto de entrada, la línea RD para a un nivel lógico "0".
- D) WR. Petición de escritura. Siempre que el procesador central este escribiendo datos en la memoria o para un puerto de salida, la línea WR pasa a un nivel lógico "0".

Para diferenciar entre puerto de entrada y salida durante las instrucciones de E/S: IORQ, RD WR, se hacen pasar por las mismas. De manera similar, MDEQ, RD Y WR, pasan por puertas de conmutación durante transferencias de memoria.

A diferencia con la decodificación de E/S, pero similar al controlador de bus de direcciones antes tratado. Una condición de lectura de memoria no tiene que ser descodificada. Ya que la memoria se deja en el estado de lectura cuando no se esta en una operación de escritura.

Los retardos de tiempo máximos acumulados en el circuito son de aproximadamente 44nseg. Lo cual es tolerable si se considera que la duración del pulso de RD es aproximadamente (según datos del fabricante del Z80) de $2T = 2(277\text{nseg}) = 554\text{nseg}$.
Donde T es el periodo del reloj.

Existe un sólo puerto de salida, encargado de manejar las interfaces de generación de pulsos para tiristores y control.

El puerto esta constituido por el IC 74374 (diseñado por ocho flip-flop de tipo cerrojo) utilizado para atrapar o fijar los datos que se enviaran hacia la interfases.

El IC 74373 es habilitado por dos señales de control (IORQ, WR), combinados en un circuito de control que se presenta en la figura 2.21..

para mayor claridad en la figura 2.22 se presenta un diagrama de un ciclo de escritura para el puerto de salida.

En dicha figura se puede observar el estado WAIT que el microprocesador introduce automáticamente al ejecutar una instrucción de salida OUT (para un puerto determinado de E/s) para dar tiempo suficiente a los circuitos del puerto de salida, para su respuesta a los datos que provienen del micro.

Las tablas de verdad de las señales de control (SRIO, SWIO, SWM Y SRM) se detallan a continuación:

RD	IORQ	SRIO
0	0	1
0	1	1
1	0	1
1	1	0

$$\text{SRIO} = \text{RD} \cdot \text{IORQ}$$

WR	IOREQ	SWIO
0	0	1
0	1	1

RD	MREQ	SRM
0	0	1
0	1	1
1	0	1
1	1	0

$$\text{SRM} = \text{RD} \cdot \text{MREQ}$$

WR	MREQ	SWM
0	0	1
0	1	1

$$\begin{array}{ccc|c} 1 & 0 & 1 & \\ 1 & 1 & 0 & \\ \hline \text{SWIO} = \text{WR} \cdot \text{IORQ} & & & \end{array}$$

$$\begin{array}{ccc|c} 1 & 0 & 1 & \\ 1 & 1 & 0 & \\ \hline \text{SWM} = \text{WR} \cdot \text{MREQ} & & & \end{array}$$

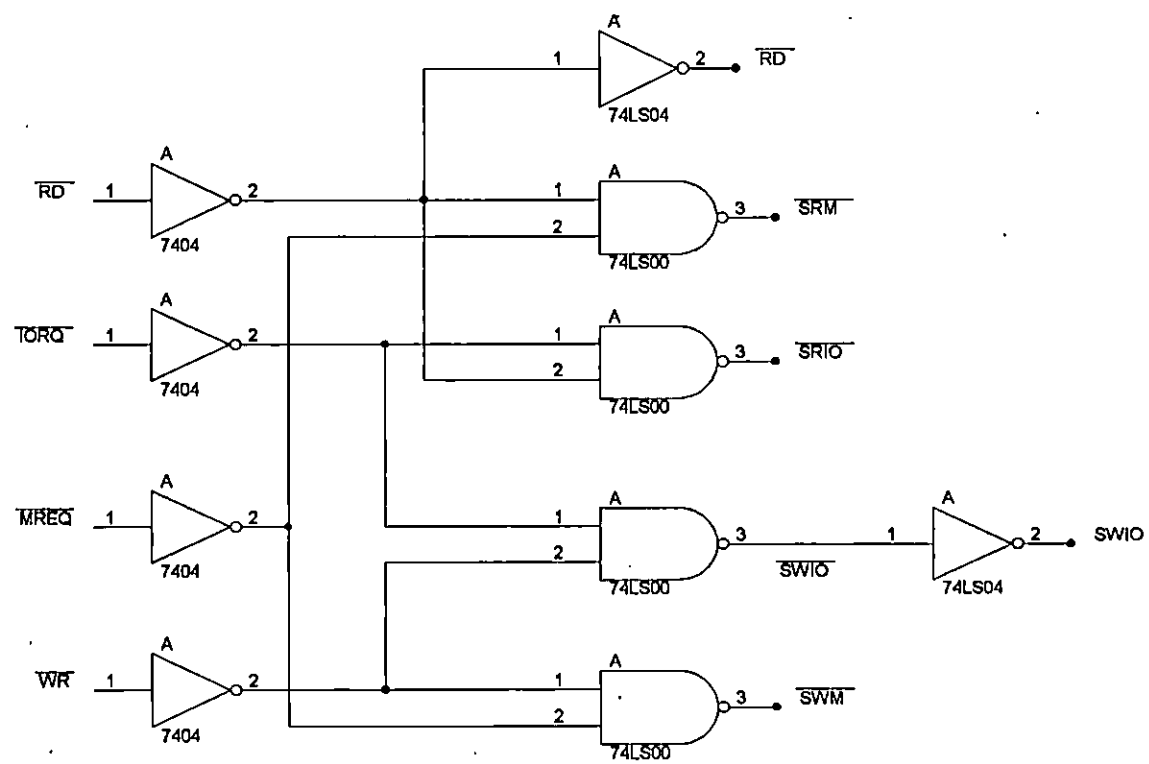


FIGURA 2.21 Circuito de control de unidad logica de control

2.10 Fuente de alimentación del sistema.

Los requerimientos de voltaje que se tienen para el sistema es de +5 V_{DC} para la alimentación del microprocesador y demás IC's que integran el circuito así como también la alimentación de la interfases.

El sistema deberá funcionar con voltaje de la red comercial (110 vlt AC), por lo tanto es necesario rectificar y regular los 110 V_{AC} a +5 V_{DC} .

También se deberá conocer la corriente total demandada por el sistema y la potencia total disipada hacer tale s lecturas se utilizo una fuente del laboratorio a + 5 V_{DC} , con todos lo s circuitos conectados se obtiene una corriente demandada de la fuente de 0.6 Amp, (3 wats) lo cual nos dice que seria lo mas ideal construir una fuente que proporciona como máximo 1Amp, de esta manera se tendrá un margen de 0.4Amp para suplir la corriente demandada La figura 2.23 muestra el diagrama de la fuente de alimentación del circuito.

Para el diseño de la fuente se necesita entonces un transformador 110V (24 V_{AC}) un puente rectificador de diodos para la señal AC reducida, capacitores que permitan una carga y descarga bastante uniforme (p. Eje 100μF, 25 V) así como también un regulador de voltaje nos asegure que se tendrán +5 V_{DC} a la salida de éste, además deberá tener un capacitor de pequeño valor (P. ej. 0.47mF ó 0.1μF) para el rizado que pudiese existir

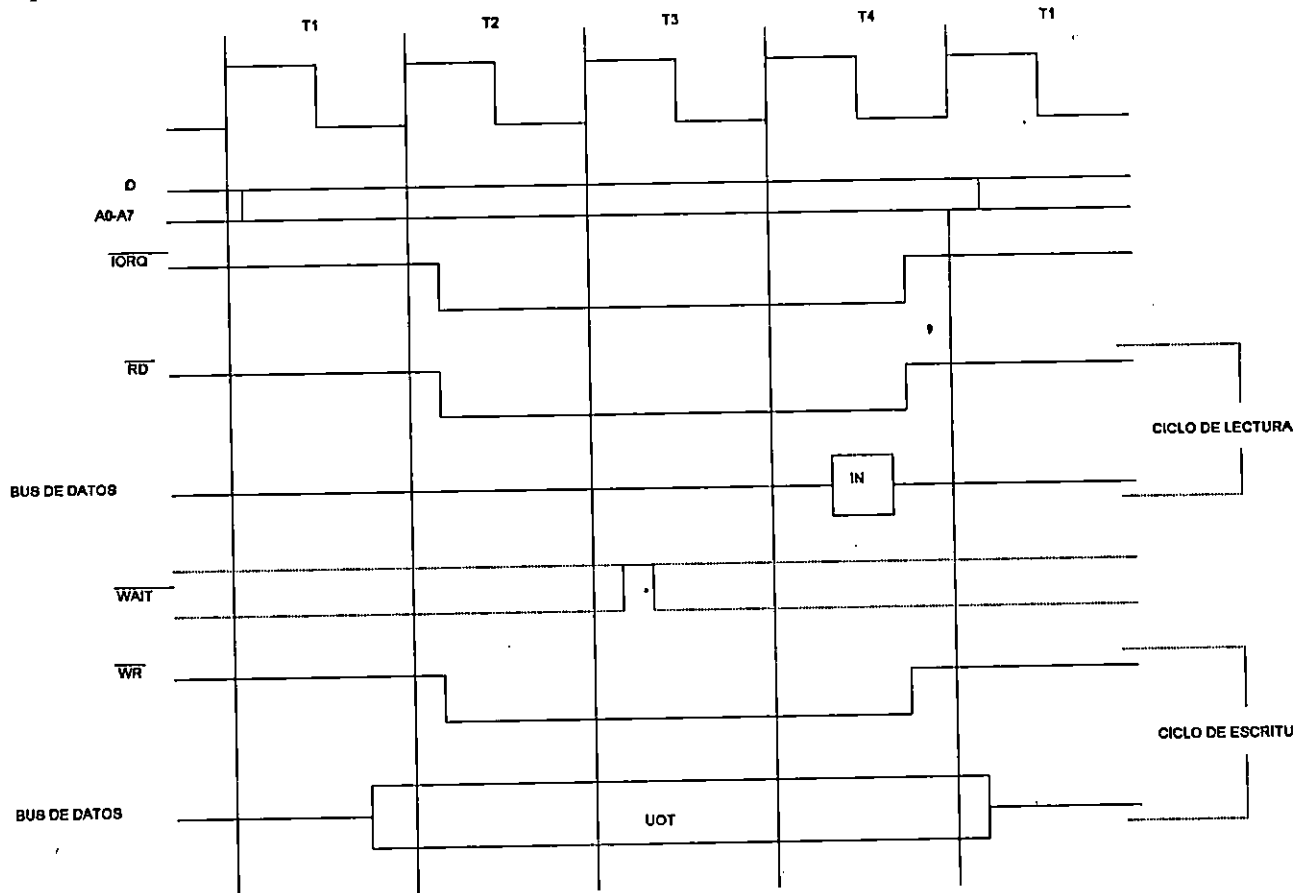


FIGURA 2.22 Ciclo normal de lectura/escritura en puertos de E/S

2.11 Interfase de pulsos de disparo y control.

La figura 2.24 presenta un circuito aislado de pulsos para tiristores, por medio de transformador, alimentando la compuerta de los tiristores con un voltaje rectificado a través del diodo D₁ y la R₃, R₂ proporciona el suministro de voltaje necesario a los tiristores.

La generación de pulsos se logra por la conmutación del transistor Q₁, el cual es alimentado, por el puerto de salida de la unidad lógica de control, por ,ello de la resistencia R₁.

Para el tiristor ECG5568

$$V_{GK} = 3.0V \quad I_{GT} = 100mA$$

(1)

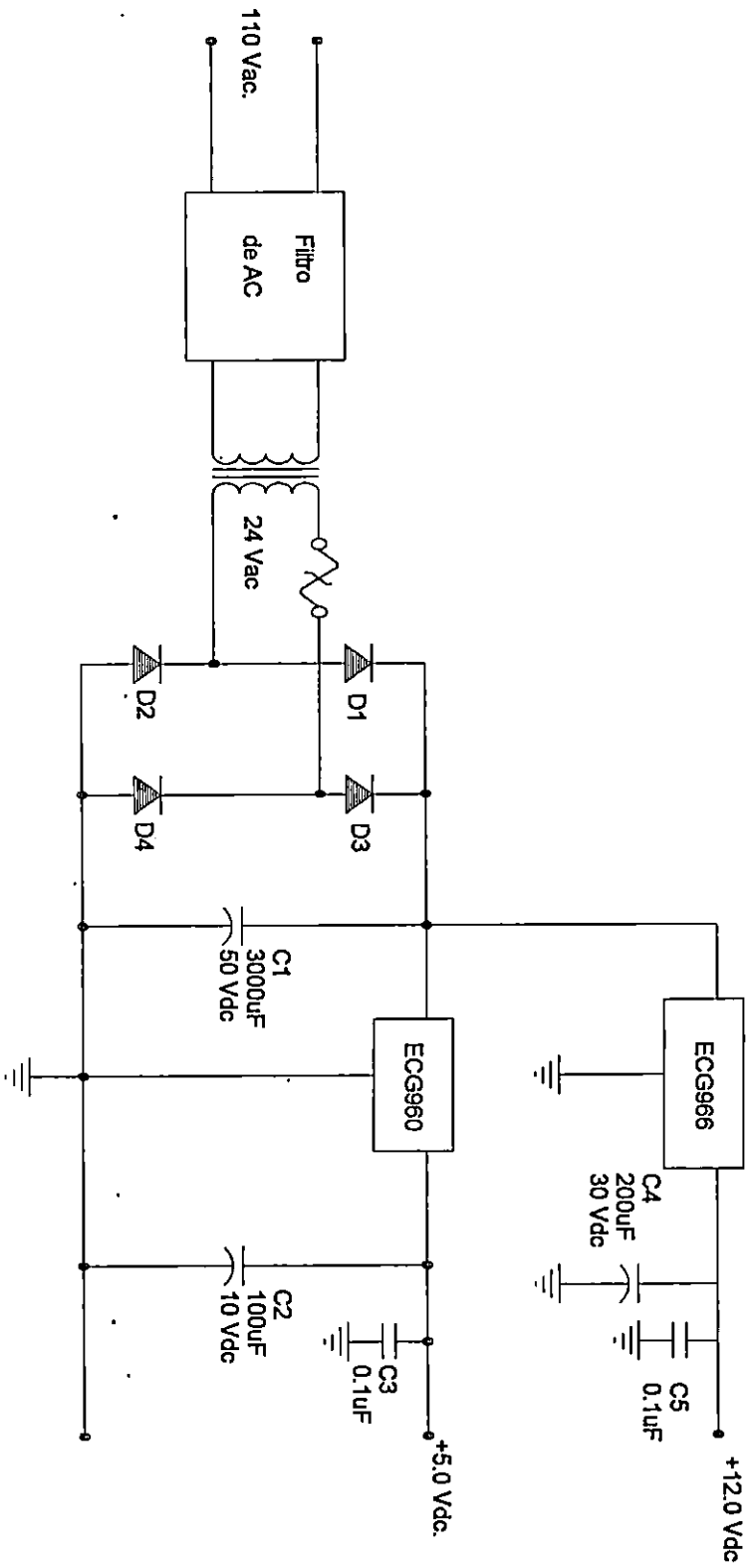


fig 2.23 fuente de alimentacion

El transformador de impulso de relación 1:1 con voltaje medio en la variación de :

$$V_T = 4.7V_{DC}. \quad (2)$$

Haciendo trayectoria de voltaje

$$V_T + V_{AK}D_1 + I_{GT}R_3 + V_{GK} = 0 \quad (3)$$

de (1) y (2) y $V_{AK} = 0.6$ para $D_1 = 1N4001$; tenemos
 $-4.7 + 0.6 + I_{GT}R_3 + 3.0 = 0$
 $I_{GT}R_3 = 1.1$

$$R_3 = \frac{1.1}{100mA}$$

$$R_3 = 11\Omega$$

donde la potencia que disipa es:

$$P = I^2 R$$

$$P = (100 \times 10^{-3})^2 (11)$$

$$P = 0.11 \text{ watts}$$

para la Resistencia $R_3 = 11\Omega \quad \frac{1}{4}$ watts

y $R_2 = 100\Omega$, la corriente es

$$I = \frac{V}{R} = \frac{4.1}{100} = 0.041 \text{ Amp} \approx 41 \text{ mAmp} \quad (5)$$

Ya que transistor Q_1 sub trabajará en región de saturación o corte se analizara, para el estado de saturación.

Como el transformador es de variación de 1:1

$$V_p = V_s; I_p = I_s$$

$$I_p = I_{R_3} + I_{R_2}$$

de las ecuaciones (1) y (5)

$$I_p = 100mA + 41 \text{ mA}$$

$$I_p = 141 \text{ mA}$$

Utilizando el transistor para conmutación 2N2222, con características siguientes en la región de saturación:

$$V_{BE} = 0.7V_{DC}; \quad I_C = 0.6 \text{ Amp}$$

$$V_{CE} = 0.2 V_{DC}; \quad \beta_{IRP} = 150$$

La resistencia de base es igual a

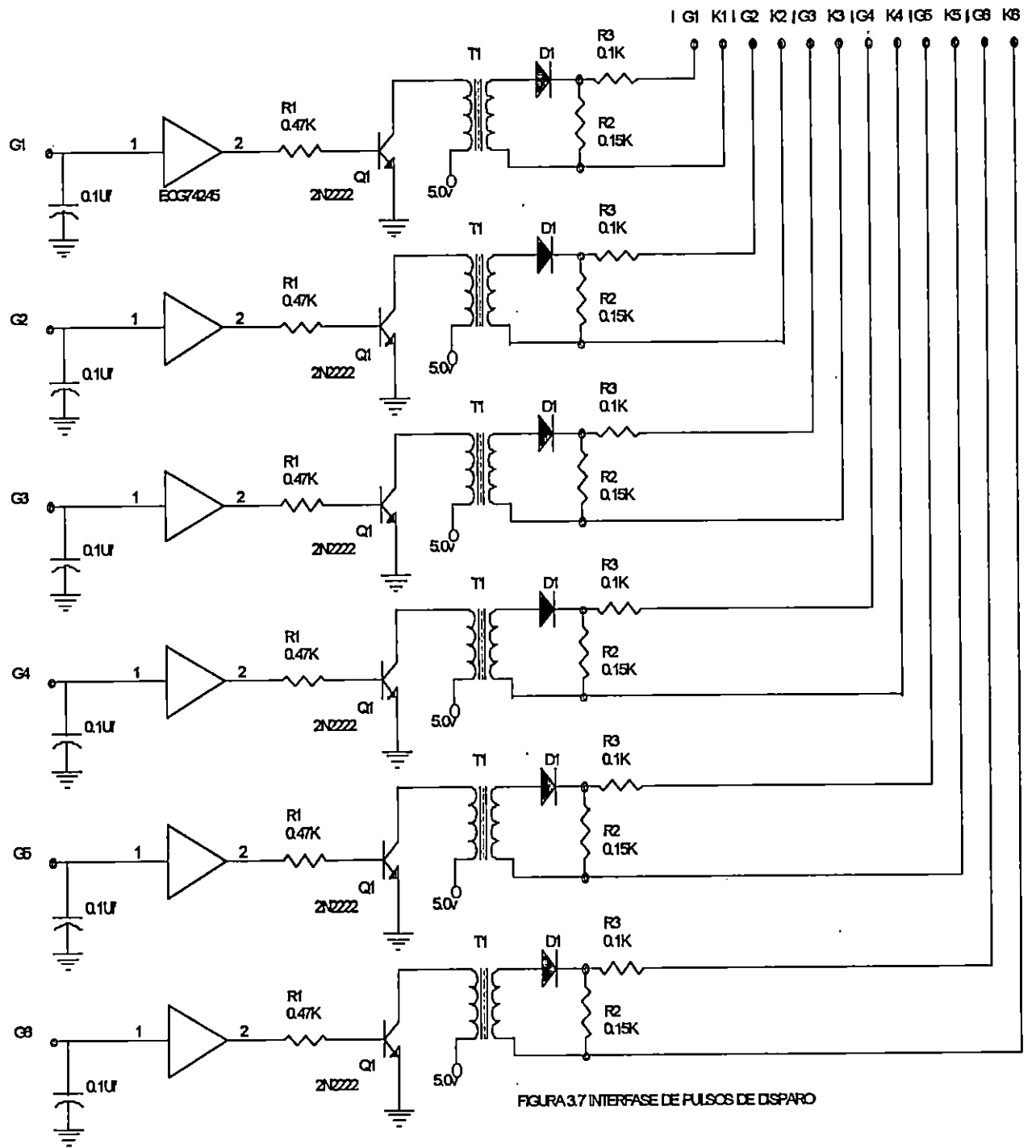


Figura 2.24 Interfase de pulsos de disparo.

$$R_b = \frac{V_{in} - V_{BE}}{I_b} \quad (7)$$

La corriente de conmutacion es

$$I_b = \frac{I_C}{\beta} = \frac{0.6}{150} \rightarrow I_b = 4mA$$

Para un voltaje de entrada de 3.0V (TTL)

$$R_b = \frac{3.0 - 0.6}{4} \quad R_b = 600\Omega$$

La potencia maxima de disipacion de $R_b = R_1$ es

$$p = (4mA)^2 (600) = 9.6mwatts.$$

y R_1 de:

$$600\Omega \quad 1/4watts$$

2.12 Interfase de lectura de unidad de control

Para que el microprocesador controle el sistema de potencia tiene que utilizar interfase de supervisión, para protección de los dispositivos de potencia.

2.12.1 Sensor de voltaje directo.

Este sensor proporciona al microprocesador una lectura binaria si está en los limites correctos el voltaje de directa que alimenta al inversor trifasico el micro leerá un estado lógico cero.

La figura 2.25 presenta un sensor de voltaje de ventana el cual muestra el voltaje a través de las resistencias R_{14} , R_{15} , R_{17} . Siendo comparado con los voltajes fijos que presentan las resistencias R_{11} , R_{12} y R_{13} con los operacionales A_2 y A_3 .

Si el voltaje muestreado, sobrepase el voltaje de referencias Alto entonces el operacional mandara $5.0 V_{DC}$ a la salida el cual el microprocesador lo tomara como voltaje de alimentación directa malo, desconectando el sistema.

Si el voltaje de muestreo baja de voltaje de referencia bajo el operacional A_3 . Presentara un estado alto a la salida. Tomando el microprocesador como voltaje de directa malo. La resistencia R_{17} ajusta correctamente el voltaje de muestreo.

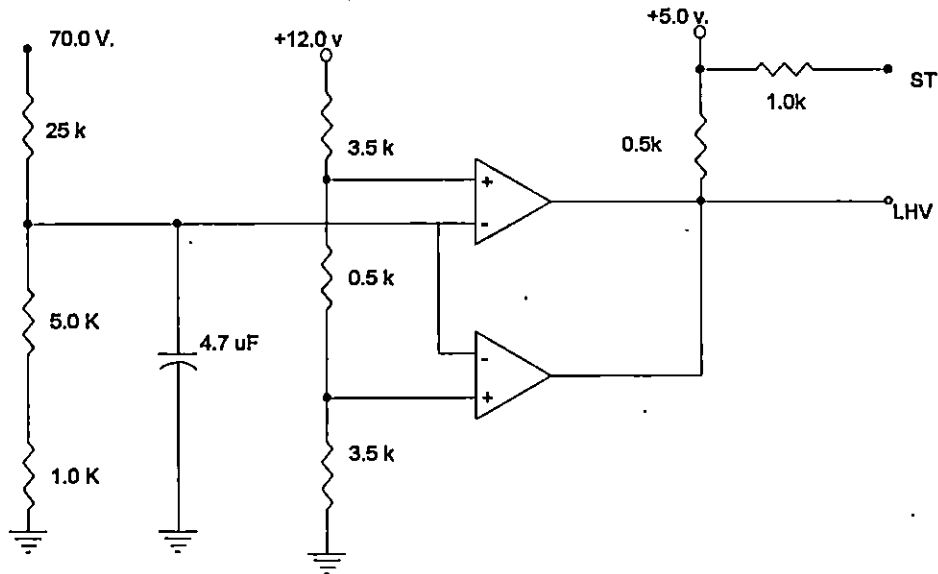


Figura 2.25 Sensor de voltaje directo.

2.12.2 Supervisión de voltaje trifasico.

La figura 2.26 presenta un circuito de supervisión de fase, la función principal es que el ICA1 compara el valor de pico, con el valor medio rectificado a los diodos D_2 , D_3 , D_4 se les aplica una tensión trifasica el diodo D_5 , aísla el circuito entre si para formar el valor de pico y el valor medio rectificado.

A través del condensador C_1 . Se recibe el valor de pico que vía el repartidor de tensión R_4 , R_5 y R_6 . Se aplica a la entrada inversora del comparador.

La tensión en C_1 es la misma independientemente de que falten una, dos o tres fases. Las resistencias R_7 , R_8 , R_{10} junto con el condensador C_3 . Forman el valor medio rectificado que se aplica a la entrada no inversora del comparador A_1 .

Cuando existen todas las fases el valor medio rectificado es mayor que el valor pico, presentando a la salida del comparador un estado bajo (TTL).

Cuando se produce una falla de fase el valor medio cambia con lo que el comparador presenta un estado alto a la salida (TTL).

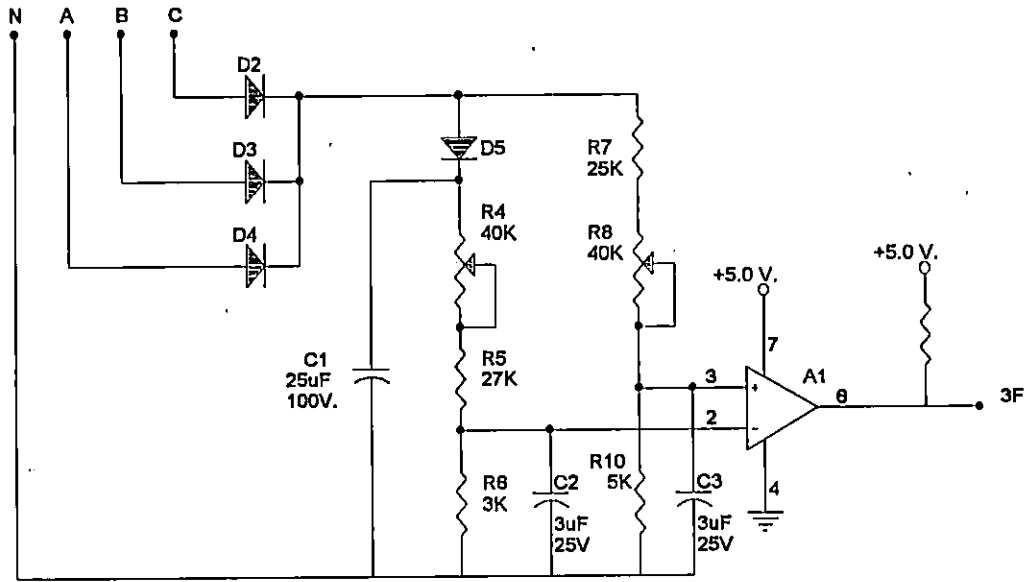


Figura 2.26 Supervisión de fase.

Conclusiones.

1. Para mejorar la modulación por ancho de pulso se redujo la inductancia de la bobina de conmutación o la capacitancia con objeto de disminuir el tiempo de conmutación de los tiristores de potencia, para una carga resistiva-inductiva.
2. La reducción de corriente de arranque en un motor, puede disminuir por medio de una tensión reducida a través de la amplitud del pulso de conducción de los tiristores, tanto en amplitud como en tiempo de trabajo de los mismos.
3. La Utilización de capacitores no polarizador en la salida del inversor, para filtro paso bajo producen una mejor forma de onda fundamental en la salida del inversor, eliminando en un porcentaje el contenido de armónico.

Bibliografía.

- S.B. Dewan, Straugen. A., Electrónica de Potencia, impreso en TORONTO, CANADA, publicado en 1975.
- R.K. Sugandhi, K. K. Sugandhi Tiristores, Conceptos y Aplicaciones, impreso en México por editorial Limusa, 1985.
- Casteel, Jordan B., Hoft Richard G., Optimun PWM waveforms of a microprocessor controlled inverterss, IEEE Power Electronic Spec. Conf., pp 243-250, 1978.
- Rodney Zacks, Programming The Z-80, third edition, Sybex copyright, 1980.
- Joseph Nocols, Microprocesador Z-80, Estados Unidos, ediciones Alfaomega/Marcombo.

ANEXO A1 Función de transistor monounión UJT y amplificador direccional.

A.1 Transistor monounion (UJT).

El transistor monounión UJT es un dispositivo de tres terminales compuesto de una barra de material de silicio de tipo n ligeramente contaminado con dos contactos de base. Estos se pegan en los extremos de una superficie y se une una pequeña barra de material tipo p a la superficie opuesta. La frontera de la barra tipo p forma una unión p-n entre ésta y el silicio tipo n. De la unión p-n simple se origina el termino "monounión".

Si se aplica una tensión a la terminal B_1 , el potencial en la unión es resultado de una división de tensión a través de la resistencia E a B_1 y de B_1 a B_2 . Si este valor es mayor que la tensión aplicada en la terminal E, no existe inyección de portadores a través de la unión E-B. Sin embargo, si una fuente externa eleva V_E a un nivel mayor que el de la tensión en la unión, se produce una inyección de portadores.

Variar la tensión, V_E , tiene el efecto de variar la resistencia de la barra en la región de la terminal E. Conforme se eleva V_E , la resistencia entre E y B_1 disminuye, provocando por tanto una disminución en la tensión de la salida de la unión. El efecto neto de estos cambios es elevar la corriente entre B_1 y B_2 .

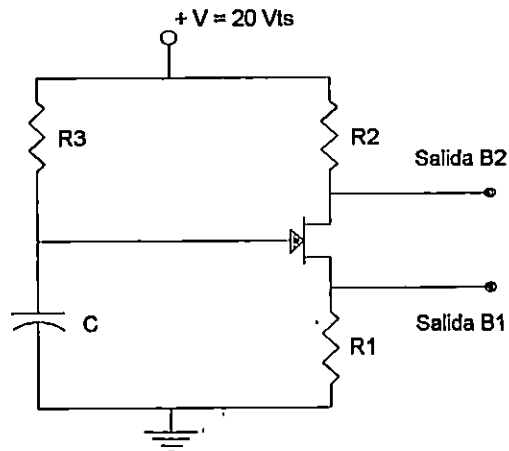


Figura A.1 Oscilador de Relajación

El UJT no se utiliza como amplificador de señal. Se usa, mas bien, como interruptor controlado por tensión. A diferencia del SCR, que se dispara con una corriente de compuerta, el UJT se dispara con una tensión. El UJT se utiliza para disparar otro tipo de dispositivos, y también se puede usar en circuitos osciladores.

El área de resistencia negativa es estable y se puede utilizar con otras aplicaciones a circuitos. Mas allá del valle, el transistor se comporta como un simple diodo.

Un ejemplo de la utilización del UJT es el oscilador de relajación, como el que se muestra en la figura A.1. Este circuito es el bloque básico en muchos circuitos osciladores y de sincronía con UJT. Cuando se aplica energía, el capacitor se carga a través de R_3 hasta que la tensión es lo suficientemente grande en el punto E para disparar el UJT hacia la conducción. Esto provoca que la unión E- B_1 se polarice en directo, y la característica del emisor cae en la región de resistencia negativa. El capacitor se descarga a través del emisor, y está disponible un pulso positivo en la salida de B_1 . Cuando se produce la conducción, la tensión en B_2 disminuye, provocando por tanto un pulso negativo en B_2 . La frecuencia de los pulsos está dada aproximadamente por la ecuación:

$$f_0 = \frac{1.5}{R_3 C}$$

A.2 Amplificador diferencial.

Un amplificador es un circuito electrónico que contiene dispositivos BJT y FET, que proporcionan ganancia de voltaje o corriente. También pueden proporcionar ganancia de potencia, o permitir la transformación de impedancia. Puesto que es una parte básica de prácticamente toda aplicación electrónica, el amplificador es un circuito esencial. Los amplificadores como hemos descubierto, pueden clasificarse de diversas maneras. Hay amplificadores de Baja frecuencia, de audio, ultrasónicos, de radio frecuencia (RF), de banda ancha, de vídeo y cada tipo opera en un intervalo de frecuencia prescrito. Ya hemos considerado los amplificadores de señal grande y señal pequeña que pueden interconectarse ya sea con acoplamiento RC o con acoplamiento a transformador.

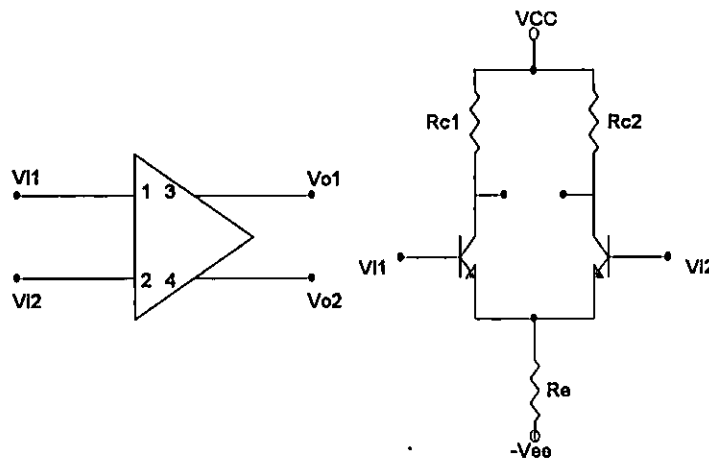


Figura A.2. Amplificador diferencial básico a) diagrama de bloque b) diagrama de circuito.

El amplificador diferencial es un tipo especial de circuito que se usa en una amplia variedad de aplicaciones. Consideremos primero varias propiedades básicas de los amplificadores diferenciales. La figura A2.a muestra un símbolo de bloque de la unidad del amplificador diferencial. Como se muestra, hay dos terminales de entrada separadas (1 y 2) y dos de salidas separadas (3 y 4). Debemos analizar primero la relación entre estas terminales para comprender cómo puede aplicarse el amplificador diferencial. Nótese que en la figura A2.a se muestra una conexión a tierra por separado, puesto que tanto las terminales de salida como las de entrada pueden diferir de la conexión a tierra. Los valores pueden aplicarse a cualquiera de las terminales de entrada o ambas y los voltajes de salida aparecerán en ambas terminales de salida. Sin embargo, hay algunas relaciones de polaridad muy específicas entre las terminales de entrada y las de salida.

La figura A2.b muestra un circuito de un amplificador diferencial básico que se empleará en el siguiente análisis. Las entradas se aplican esencialmente a cada una de las bases de los transistores separados. Sin embargo, como se ilustra, los emisores del transistor se conectan a un resistor de emisor común de manera que las dos terminales de salida V_{O1} y V_{O2} sean afectadas por ambas señales de entrada o por cualquiera de ellas. Las salidas se toman desde las terminales de colector de cada transistor. Las terminales de entrada y salida se numeran también para facilitar la referencia. En el diagrama de circuito se pueden observar dos voltajes de alimentación; debe notarse con todo cuidado que no se indica ninguna terminal de conexión a tierra dentro del circuito, aunque se entiende que los dos puntos opuestos de las dos alimentaciones de voltaje, la positiva y la negativa, se encuentran conectados a tierra. El amplificador podría operar empleando una sola alimentación de voltaje.

ANEXO B Software de unidad l3gica para supervisi3n y generaci3n de pulsos de disparo de inversor. Datos t3cnicos de elementos de potencia.

PROGRAMA DE GENERACION Y SUPERVISION DE CONVERTIDOR
DE VOLTAJE MONOFASICO A TRIFASICO.

4

```

INIC1:    LD      B,FFH
CONT1:    DEC     B           ;RETARDO DE TIEMPO PARA ESTABILIDAD.
          LD     A,00H       ;DE FUENTE DE DIRECTA.
          CP     B
          JP     Z,GENE
          LD     C,FFH
CONT2:    CP     C
          JP     Z,CONT1
          NOP
          NOP
          NOP
          NOP
          NOP
          DEC    C
          JP     CONT2
GENE:     LD     D,29H
          LD     HL,TABLA1  ;CARGUE HL CON DIRECCION DE DATOS.
GENO:     DEC    D
          INC    HL
          LD     B,(HL)
          INC    HL
GEN1:     LD     A,(HL)     ;CARGE EL ACUMULADOR CON DATO.
          OUT    (00H),A    ;PRESENTE DATO EN PUERTO.
          DEC    B         ;DE UN RETARDO DE TIEMPO.
          LD     E,03H
          XOR    A
LAZO:     DEC    E
          CP     E
          JP     NZ,LAZO
          XOR    A
          OUT    (00H),A    ;NO PRESENTE DATO EN PUERTO,
          LD     E,03H     ;DE UN RETARDO DE TIEMPO.
LAZ1:     DEC    E
          CP     E
          JP     NZ,LAZ1
          CP     B
          JP     NZ,GEN1
          CP     D
          JP     NZ,GENO
          LD     B,09H
GEN2:     LD     A,2AH
          OUT    (00H),A    ;PRESENTE DATO DE TABLA.
          DEC    B
          IN     A,(00H)

```

```

        BIT    1,A          ;SISTEMA.
        JP     Z,AMPLI     ;SALTE A GENERACION DE ONDA
        XOR    A
        CP     B
        JP     NZ,GEN2
        JP     GENE
AMPLI:   LD     D,29H
        LD     HL,TABLA2   ;DIRECCIONE HL CON DATOS DE TABLA
GEN5:   DEC    D          ;DOS.
        INC   HL
        LD     B,(HL)
        INC   HL
GEN6:   LD     A,(HL)     ;CARGUE ACUMULADOR CON DATO DE TABLA
        OUT   (OOH),A    ;DOS Y PRESENTE EN PUERTO.
        DEC   B          ;DE UN RETARDO DE TIEMPO.
        LD     E,03H
        XOR    A
LAZ3:   DEC    E
        CP     E
        JP     NZ,LAZ3
        LD     A,00H
        OUT   (OOH),A    ;NO PRESENTE DATO EN PUERTO.
        LD     E,03H     ;DE UN RETARDO DE TIEMPO.
LAZ4:   DEC    E
        CP     E
        JP     NZ,LAZ4
        CP     B
        JP     NZ,GEN6
        CP     D
        JP     NZ,GEN5
GEN7:   LD     B,09H
        LD     A,6AH
        OUT   (OOH),A
        DEC   B
        IN    A,(OOH)
        BIT   4,A        ;HAY TEMPERATURA.
        BIT   3,A        ;HAY VOLTAJE TRIFASICO.
        JP     Z,DESAC
        NOP
        LD     A,00H
        NOP
        NOP
        NOP
        IN    A,(OOH)
        BIT   2,A        ;VOLTAJE DE DIRECTA BUEND.
        JP     Z,DESAC
        BIT   1,A        ;HAY CARGA.
        JP     NZ,GENE
        XOR    A
        CP     B
        JP     NZ,GEN7
        JP     AMPLI
DESAC:  LD     A,80H
        OUT   (OOH),A    ;DEACTIVE SISTEMA.
        JP     INIC1
TABLA1: DB    00H

```

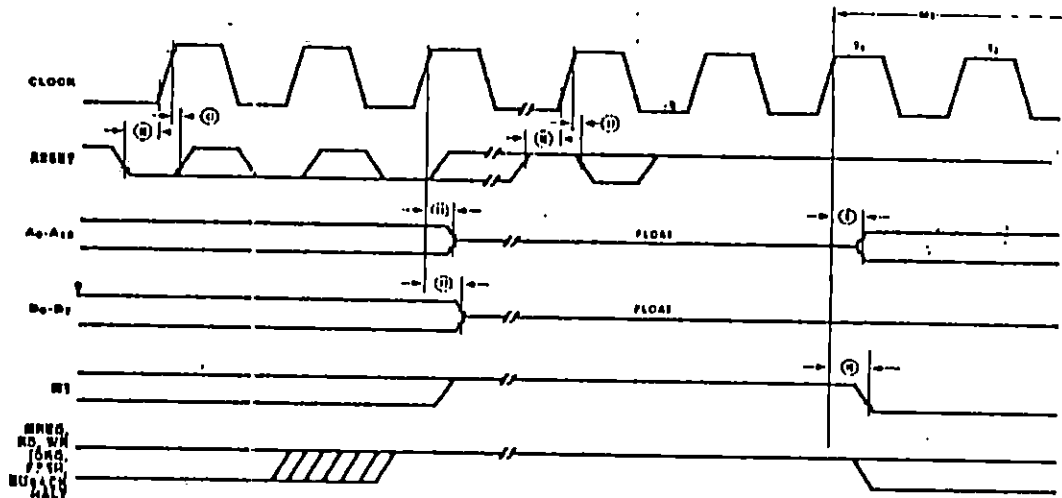
DB	07H
DB	31H
DB	09H
DB	15H
DB	0EH
DB	31H
DB	09H
DB	15H
DB	07H
DB	31H
DB	0CH
DB	23H
DB	0CH
DB	31H
DB	07H
DB	23H
DB	09H
DB	2AH
DB	0EH
DB	23H
DB	09H
DB	2AH
DB	07H
DB	23H
DB	0CH
DB	07H
DB	0CH
DB	23H
DB	07H
DB	07H
DB	09H
DB	15H
DB	0EH
DB	07H
DB	09H
DB	15H
DB	07H
DB	07H
DB	0CH
DB	0EH
DB	0CH
DB	07H
DB	07H
DB	0EH
DB	09H
DB	2AH
DB	0EH
DB	0EH
DB	09H
DB	2AH
DB	07H
DB	0EH
DB	0CH
DB	1CH

DB	OCH
DB	3BH
DB	OCH
DB	1CH
DB	07H
DB	3BH
DB	DB
DB	7BH
DB	09H
DB	DB
DB	6AH
DB	07H
DB	7BH
DB	DB
DB	07H
DB	7BH
DB	OCH
DB	71H
DB	DB
DB	07H
DB	6AH
DB	09H
DB	DB
DB	63H
DB	09H
DB	DB
DB	6AH
DB	09H
DB	DB
DB	07H
DB	63H
DB	DB
DB	07H
DB	6AH
DB	09H
DB	DB
DB	63H
DB	OCH
DB	47H
DB	DB
DB	63H
DB	07H
DB	DB
DB	07H
DB	63H
DB	09H
DB	DB
DB	09H
DB	DB
DB	09H
DB	55H
DB	07H

TARLAZ:

DB	6AH
DB	07H
DB	4EH
DB	0CH
DB	5CH
DB	0CH
DB	4EH
DB	07H
DB	5CH
DB	09H
DB	55H
DB	0EH
DB	5CH
DB	09H
DB	55H
DB	07H
DB	5CH
DB	0CH
DB	78H
DB	0CH
DB	5CH
DB	07H
DB	78H

8. Ciclo de restablecimiento (Reset cycle).



AC Characteristics

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU†	
			Min	Max	Min	Max	Min	Max	Min	Max
1	T _c	Clock Cycle Time	400*		250*		165*		125*	
2	T _{wCh}	Clock Pulse Width (High)	100*		110*		69*		55*	
3	T _{wCl}	Clock Pulse Width (Low)	100	2000	110	2000	69	2000	55	2000
4	T _{fC}	Clock Fall Time		30		30		20		10
5	T _{rC}	Clock Rise Time		30		30		20		10
6	T _{dCr(A)}	Clock 1 to Address Valid Delay		145		110		90		80
7	T _{dA(MREQ)}	Address Valid to MREQ 1 Delay	125*		65*		35*		20*	
8	T _{dCr(MREQ)}	Clock 1 to MREQ 1 Delay		100		85		70		60
9	T _{dCr(MREQr)}	Clock 1 to MREQ 1 Delay		100		85		70		60
10	T _{wMREQh}	MREQ Pulse Width (High)	170*		110*		65*		45*	
11	T _{wMREQl}	MREQ Pulse Width (Low)	360*		220*		135*		100*	
12	T _{dCr(MREQr)}	Clock 1 to MREQ 1 Delay		100		85		70		60
13	T _{dCr(M1)}	Clock 1 to M1 1 Delay		130		95		80		70
14	T _{dCr(MDr)}	Clock 1 to M1 1 Delay		100		85		70		60
15	T _{d(Cr)}	Data Setup Time to Clock 1	30		30		30		30	
16	T _{h(MDr)}	Data Hold Time to M1 1		0		0		0		0
17	T _{wAIT(C)}	WAIT Setup Time to Clock 1	70		70		60		50	
18	T _{wAIT(Cr)}	WAIT Hold Time after Clock 1		0		0		0		0
19	T _{dCr(M1)}	Clock 1 to M1 1 Delay		130		100		80		70
20	T _{dCr(M1r)}	Clock 1 to M1 1 Delay		130		100		80		70
21	T _{dCr(RFSH)}	Clock 1 to RFSH 1 Delay		180		130		110		95
22	T _{dCr(RFSHr)}	Clock 1 to RFSH 1 Delay		150		120		100		85

El Z-80 opera con una fuente de alimentación de 5 V conectada a la terminal +5 V. La tierra de la fuente se conecta a la terminal GND. Su consumo común de corriente es 90 mA. Con base en la función que realizan, las demás terminales del circuito integrado se agrupan en tres buses: el bus de direcciones, el bus de datos y el bus de control (Fig.6-1b).

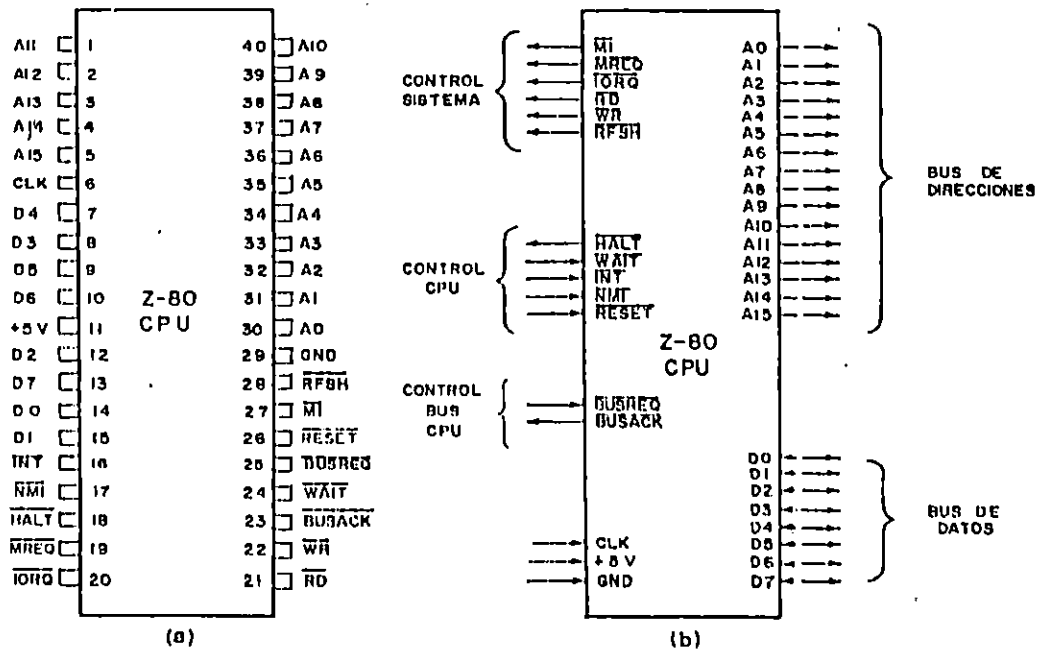


Figura 6-1. El microprocesador Z-80. (a) Acomodo de las terminales del circuito integrado. (b) Funciones de las terminales del Z-80.

6.1.1 El bus de datos

Las ocho terminales designadas como D0-D7 constituyen el bus de datos; todas son bidireccionales, con tercer estado y se activan en 1 lógico. El bus de datos se usa para la transferencia de datos en grupos de 8 bits con la memoria o con dispositivos de entrada/salida. D0 transfiere el bit menos significativo y D7 el bit más significativo.

6.1.2 El bus de direcciones

El bus de direcciones lo forman las 16 terminales A0-A15. Todas ellas son de salida, con tercer estado y activas en 1 lógico. Con las 16 líneas de direcciones, el Z-80 puede seleccionar una localidad dentro de 64 K de memoria. Además, las 8 líneas menos significativas del bus (A0-A7) permiten el direccionamiento de hasta 256 puertos de entrada/salida. Finalmente, el bus de direcciones también se usa en la espe-

Footnotes to AC Characteristics

Number	Symbol	Z80	Z80A	Z80B
1	T _{cC}	T _{wCh} + T _{wCl} + TrC + TIC	T _{wCh} + T _{wCl} + TrC + TIC	T _{wCh} + T _{wCl} + TrC + TIC
2	T _{wCh}	Although static by design, T _{wCh} of greater than 200 μs is not guaranteed	Although static by design, T _{wCh} of greater than 200 μs is not guaranteed	Although static by design, T _{wCh} of greater than 200 μs is not guaranteed
7	T _{dA(MREQ)}	T _{wCh} + TIC - 75	T _{wCh} + TIC - 65	T _{wCh} + TIC - 50
10	T _{wMR²Oh}	T _{wCh} + TIC - 30	T _{wCh} + TIC - 20	T _{wCh} + TIC - 20
11	T _{wMR²Ol}	T _{cC} - 40	T _{cC} - 30	T _{cC} - 30
26	T _{dA(KIOQ)}	T _{cC} - 80	T _{cC} - 70	T _{cC} - 50
29	T _{dD(WH)}	T _{cC} - 210	T _{cC} - 170	TrC - 140
31	T _{wH}	T _{cC} - 40	T _{cC} - 30	T _{cC} - 30
33	T _{dD(WR)}	T _{wCl} + TrC - 100	T _{wCl} + TrC - 140	T _{wCl} + TrC - 140
35	T _{dWTr(D)}	T _{wCl} + TrC - 80	T _{wCl} + TrC - 70	T _{wCl} + TrC - 55
45	T _{dCTr(A)}	T _{wCl} + TrC - 40	T _{wCl} + TrC - 50	T _{wCl} + TrC - 50
50	T _{dMtr(OHCl)}	2T _{cC} + T _{wCh} + TIC - 80	2T _{cC} + T _{wCh} + TIC - 65	2T _{cC} + T _{wCh} + TIC - 50

AC Test Conditions:
 V_{OH} = 2.0 V V_{OH} = 2.0 V
 V_{OL} = 0.8 V V_{OL} = 0.8 V
 V_{IIC} = V_{CC} - 0.6 V F_{LOAD} = 100 pF
 V_{ILC} = 0.45 V

Absolute Maximum Ratings

Storage Temperature -55°C to +150°C
 Temperature under Bias Specified operating range
 Voltages on all inputs and outputs with respect to ground -0.3 V to +7 V
 Power Dissipation 1.5 W

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above those indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

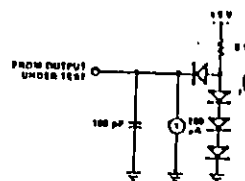
Standard Test Conditions

The characteristics below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0 V). Positive current flows into the referenced pin. Available operating temperature ranges are:

- S* = 0°C to +70°C, +4.75 V ≤ V_{CC} ≤ +5.25 V
- E* = -40°C to +85°C, +4.75 V ≤ V_{CC} ≤ +5.25 V
- M* = -55°C to +125°C, +4.5 V ≤ V_{CC} ≤ +5.5 V

*See Ordering Information section for package temperature range and product number.

All ac parameters assume a load capacitance of 100 pF. Add 10 ns delay for each 50 pF increase in load up to a maximum of 200 pF for the data bus and 100 pF for address and control lines.



DC Characteristic	Symbol	Parameter	Min	Max	Unit	Test Condition
V _{IL}		Clock Input Low Voltage	-0.3	0.41	V	
V _{IIC}		Clock Input High Voltage	V _{CC} - 0.6	V _{CC} + 0.3	V	
V _{IL}		Input Low Voltage	-0.3	0.8	V	
V _{IH}		Input High Voltage	2.0	V _{CC}	V	
V _{OL}		Output Low Voltage	0.4		V	I _{OL} = 1.8 mA
V _{OH}		Output High Voltage		2.4	V	I _{O11} = -250 μA
I _{CC}		Power Supply Current			mA	
		Z150	1501		mA	
		Z80A	2007		mA	
		Z80B	2007		mA	
I _I		Input Leakage Current	10		μA	V _{IN} = 0 to V _{CC}
I _{IY}		3-State Output Leakage Current in Float	-10		μA	V _{OUT} = 0.4 to V _{CC}

1. For military grade parts, I_{CC} is 200 mA
 2. Typical rate for Z80A is 70 mA.
 3. A19-A6, B7-D6, MHEQ, ONQ, RD, and WH.

Ordering Information	Product Number	Package/Temp	Speed	Description
Z8400	CE	2.5 MHz	Z80 CPU (40-pin)	
Z8400	CM	2.5 MHz	Same as above	
Z8400	CMB	2.5 MHz	Same as above	
Z8400	CS	2.5 MHz	Same as above	
Z8400	DE	2.5 MHz	Same as above	
Z8400	DS	2.5 MHz	Same as above	
Z8400	FE	2.5 MHz	Same as above	
Z8400	FE	2.5 MHz	Same as above	
Z8400	PS	2.5 MHz	Same as above	
Z8400A	CE	4.0 MHz	Z80A CPU (40-pin)	
Z8400A	CM	4.0 MHz	Same as above	
Z8400A	CMB	4.0 MHz	Same as above	
Z8400A	CS	4.0 MHz	Same as above	
Z8400A	DE	4.0 MHz	Same as above	
Z8400A	DS	4.0 MHz	Same as above	
Z8400A	FE	4.0 MHz	Same as above	
Z8400A	FE	4.0 MHz	Same as above	
Z8400A	PS	4.0 MHz	Same as above	
Z8400B	CS	6.0 MHz	Z80B CPU (40-pin)	
Z8400B	DS	6.0 MHz	Same as above	
Z8400B	PS	6.0 MHz	Same as above	
Z8400H	PS	8.0 MHz	Z80H CPU (40-pin)	

NOTES: C = Ceramic, D = Cerdip, P = Plastic, E = -40°C to +65°C, M = -55°C to +125°C, ME = -55°C to +125°C with MIL-STD-883 Class B processing, S = 0°C to +70°C.

AC Characteristics (Continued)

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU†	
			Min	Max	Min	Max	Min	Max	Min	Max
23	TdCl(RDr)	Clock 1 to RD 1 Delay	—	110	—	85	—	70	—	60
24	TdCr(RDi)	Clock 1 to RD 1 Delay	—	100	—	85	—	70	—	60
25	Td(CI)	Data Setup to Clock 1 during M ₂ , M ₃ , M ₄ or M ₅ Cycles	60	—	50	—	40	—	30	—
26	TdA(OR0)	Address Stable prior to OR0 1	320*	—	180*	—	110*	—	75*	—
27	TdCr(OR0)	Clock 1 to OR0 1 Delay	—	90	—	75	—	65	—	55
28	TdCl(OR0r)	Clock 1 to OR0 1 Delay	—	110	—	85	—	70	—	60
29	Td(WR)	Data Stable prior to WR 1	190*	—	80*	—	25*	—	5*	—
30	TdCl(WR)	Clock 1 to WR 1 Delay	—	90	—	80	—	70	—	60
31	TwWR	WR Pulse Width	360*	—	220*	—	135*	—	100*	—
32	TdCl(WRr)	Clock 1 to WR 1 Delay	—	100	—	80	—	70	—	60
33	Td(WR)	Data Stable prior to WR 1	20*	—	-10*	—	-55*	—	55*	—
34	TdCr(WR)	Clock 1 to WR 1 Delay	—	80	—	65	—	60	—	55
35	TdWRr(D)	Data Stable from WR 1	120*	—	60*	—	30*	—	15*	—
36	TdCl(HALT)	Clock 1 to HALT 1 or 1	—	300	—	300	—	260	—	225
37	TwNMI	NMI Pulse Width	80	—	80	—	70	—	60*	—
38	TdBUSREQ(Cr)	BUSREQ Setup Time to Clock 1	80	—	80	—	50	—	40	—
39	ThBUSREQ(Cr)	BUSREQ Hold Time after Clock 1	0	—	0	—	0	—	0	—
40	TdCr(BUSACK)	Clock 1 to BUSACK 1 Delay	—	120	—	100	—	90	—	80
41	TdCl(BUSACKr)	Clock 1 to BUSACK 1 Delay	—	110	—	100	—	90	—	80
42	TdCr(Dz)	Clock 1 to Data Float Delay	—	90	—	90	—	80	—	70
43	TdCr(CTz)	Clock 1 to Control Outputs Float Delay (MREQ, OR0, RD, and WR)	—	110	—	80	—	70	—	60
44	TdCr(Az)	Clock 1 to Address Float Delay	—	110	—	90	—	80	—	70
45	TdCTr(A)	MREQ 1, OR0 1, RD 1, and WR 1 to Address Hold Time	160*	—	80*	—	35*	—	20*	—
46	TdRESET(Cr)	RESET to Clock 1 Setup Time	80	—	60	—	60	—	45	—
47	ThRESET(Cr)	RESET to Clock 1 Hold Time	—	0	—	0	—	0	—	0
48	TdINT(Cr)	INT to Clock 1 Setup Time	80	—	80	—	70	—	59	—
49	ThINT(Cr)	INT to Clock 1 Hold Time	—	0	—	0	—	0	—	0
50	TdM1(OR0)	M 1 to OR0 1 Delay	920*	—	565*	—	365*	—	270*	—
51	TdCl(OR0)	Clock 1 to OR0 1 Delay	—	110	—	85	—	70	—	60
52	TdCl(OR0r)	Clock 1 to OR0 1 Delay	—	100	—	85	—	70	—	60
53	TdCl(D)	Clock 1 to Data Valid Delay	—	230	—	150	—	130	—	115

*For clock periods other than the minimum shown in the table, calculate parameters using the following expressions. Calculated values above assumed $T_{IC} = 100$ ns.
 †Units in microseconds (μs). All timings are preliminary and subject to change.

Special Purpose Devices

Silicon Unijunction Transistors (UJT)



ECG Type	I _E mA	η		R _{BB0} (Kohms)		Inter-Base Volts	P _D mW	I _{EO} μ Amps	I _V (Min) mA	Package/Outline No.
		Min	Max	Min	Max					
ECG6400B	50	0.64	0.67	4	12	65	450	1 Max	8	TO-39 Fig. S1
ECG6401	50	0.60	0.75	4.7	9.1	35	300	0.05 Typ	4	TO-18 Fig. S2
ECG6409	50	0.68	0.82	4.7	9.1	35	300	0.01 Typ	8	TO-18 Fig. S2
ECG6410	50	0.70	0.85	4.0	9.1	35	300	.005 Typ	4	TO-92 Fig. S3

Programmable Unijunction Transistor (PUT)



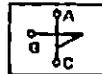
ECG Type	Forward Anode Current I _T mA	Gate Current I _G mA	BV _{GKF} Volts	BV _{GKA} Volts	V _{AKR} Volts	P _D mW	Package/Outline No.
ECG6402	150 (2 A Pk)	±20	40	-5	±40	300	Fig. S3

Silicon Bilateral Switch (SBS)



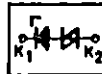
ECG Type	I _{FM} Rep Amps	I _F Max mA	V _G Volts	I _G Max μA	I _H mA	P _D mW	Package/Outline No.
ECG6403	1.0	175	6 Min 10 Max	500	1.5	300	Fig. S3

Silicon Unilateral Switch (SUS)

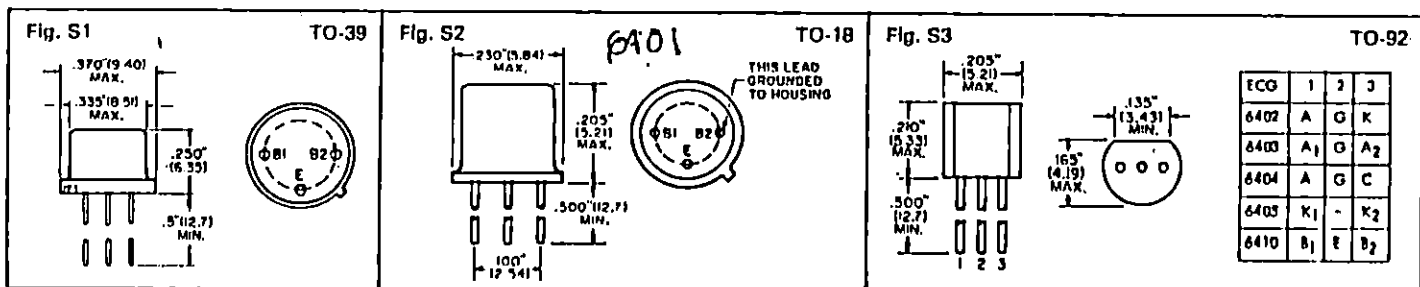


ECG Type	I _{FM} Rep Amps	I _F Max mA	V _G Volts	I _G Max μA	I _H mA	P _D mW	Package/Outline No.
ECG6404	1.0	175	6 Min 10 Max	500	1.5	300	Fig. S3

Silicon Asymmetrical Switch (SAS)



ECG Type	I _{FM} Rep Amps	I _F Max mA	V _G Volts	I _G Max μA	Output Pulse Volts	P _D mW	Package/Outline No.
ECG6405	0.5	200	VS1, 14 to 18 VS2, 7 to 9	80	3.5 Min	350	Fig. S3

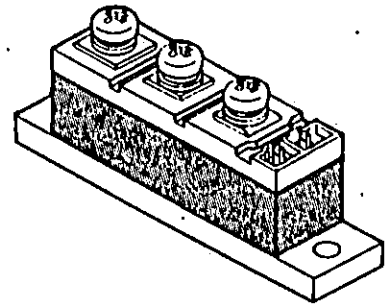


Industrial Power Modules

Thyristor Modules

Circuit No.	ECG No.	ECG No.
1	5710	5720
2	5711	5721
3	5712	5722
I_T (AV)*	85 A	95 A
I_T (RMS)*	120 A	150 A
VDRM	1200 Volts	1200 Volts
V _F	1.45 Volts	1.34 Volts
I _H	250 mA	250 mA
I _{TSM} (1 Cycle)	1500 A	1900 A
i^2T	9300 A ² sec	15000 A ² sec
RTHCS	.08 °C/W	.08 °C/W
T _J (Max)	+ 125 °C	+ 140 °C
dv/dt	200 V/μsec	200 V/μsec
T _q	150 μsec	150 μsec
VGT (Max)	1.5 Volts	1.5 Volts
IGT (Max)	200 mA	200 mA
PGT (Max)	20 W	20 W
Terminal Torque	35-50 In. Lb.	35-50 In. Lb.

* Per SCR or Rectifier

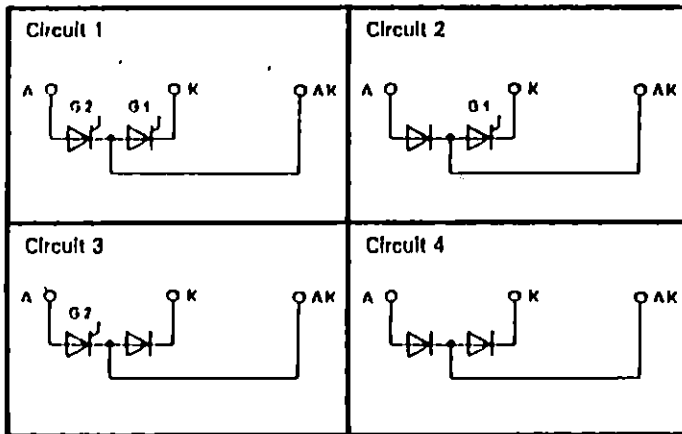


Rectifier Modules

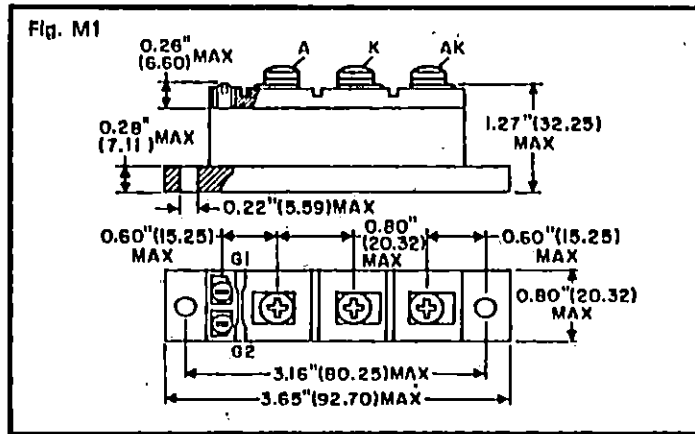
Circuit No.	ECG No.	ECG No.
4	6220	6230
I_F (AV)*	85 A	95 A
I_F (RMS)*	105 A	150 A
VDRM	1200 V	1200 V
I _{FSM} (1 Cycle)	1000 A	3600 A
i^2T	6000 A ² sec	6500 A ² sec
V _F	1.25 V	1.15 V
T _J (Max)	150 °C	150 °C
RTHCS	.08 °C/W	.08 °C/W
Terminal Torque	35-50 In. Lb.	35-50 In. Lb.

* Per Rectifier

Phase Control Thyristor and Rectifier Circuits



Module Outline



Microprocessor and Memory Circuits (cont'd)

ECG2532 24-Pin DIP See Fig. D18
 NMOS 32K UV EPROM, Organized 4K by 8 Bits, 300 nsec Max Access Time. Single Supply: $V_{CC} = +5V$, $V_{PP} = +25V$

ECG2708 24-Pin DIP See Fig. D18
 NMOS 8K UV EPROM, Organized 1K by 8 Bits, 450 nsec Max Access Time. Triple Supply: $V_{CC} = +5V$, $V_{BB} = -5V$, $V_{DD} = +12V$, $V_{SS} = GND$

ECG2710 24-Pin DIP See Fig. D18
 NMOS 16K UV EPROM, Organized 2K by 8 Bits, 450 nsec Max Access Time. Single Supply: $V_{CC} = +5V$, $V_{PP} = +25V$

ECG2732 24-Pin DIP See Fig. D18
 NMOS 32K UV EPROM, Organized 4K by 8 Bits, 200 nsec Max Access Time. Single Supply: $V_{CC} = +5V$, $V_{PP} = +21V$

ECG2764 28-Pin DIP See Fig. D18-1
 NMOS 64K EPROM, Organized 8K by 8 Bits, 200 nsec Max Access Time. $V_{CC} = +5V$, $V_{PP} = +12V$

ECG3470 18-Pin DIP See Fig. D11
 Floppy Disk Read Amplifier System
 $V_{CC1} = +5V$, $V_{CC2} = +10V$ to $+14V$

ECG3539 22-Pin DIP See Fig. D13
 NMOS 2K Static RAM (SRAM), Organized 256 Words by 8 Bits, 500 nsec Max Access Time. Single Supply: $V_{CC} = +5V$

ECG3880 40-Pin DIP See Fig. D19
 NMOS 8-Bit Microprocessor (MPU), 4 MHz Max Clock Rate, $V_{CC} = +5V$

ECG3881 40-Pin DIP See Fig. D19
 NMOS Parallel I/O Interface Adapter (PIO), 4 MHz Max Clock Rate, $V_{CC} = +5V$

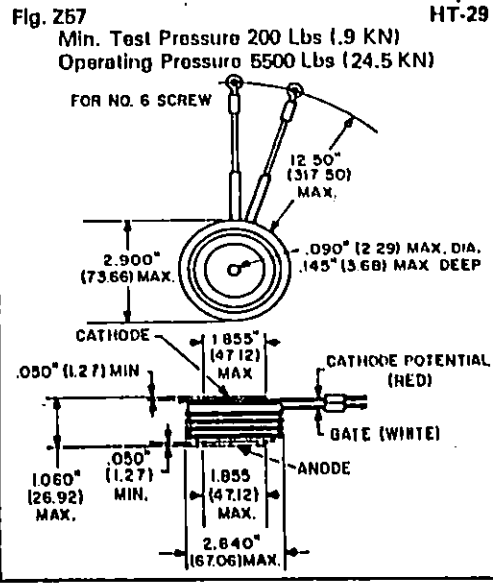
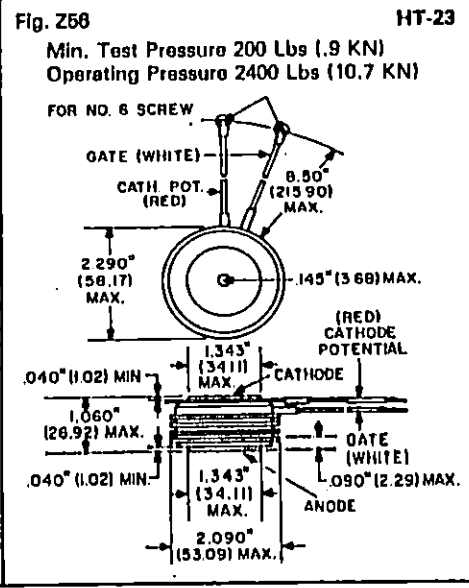
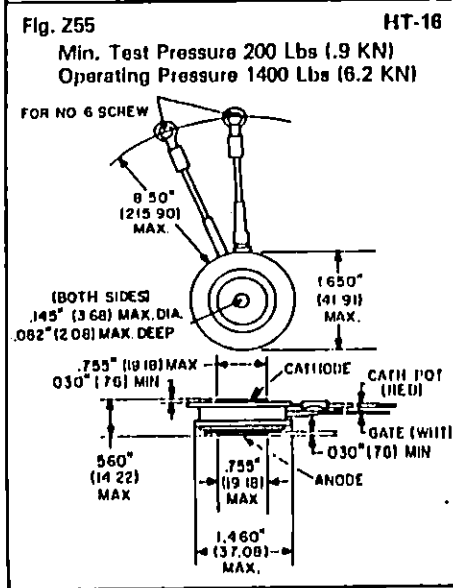
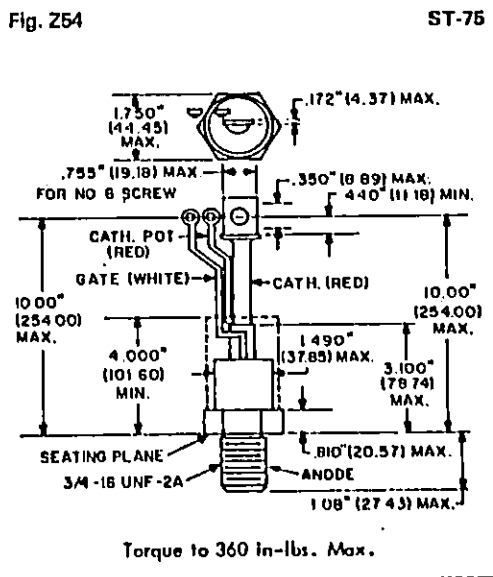
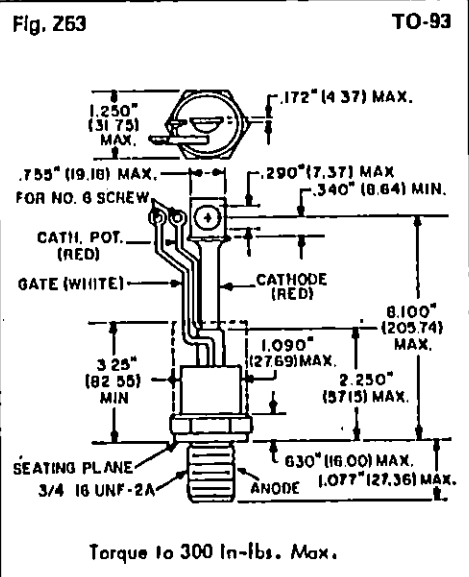
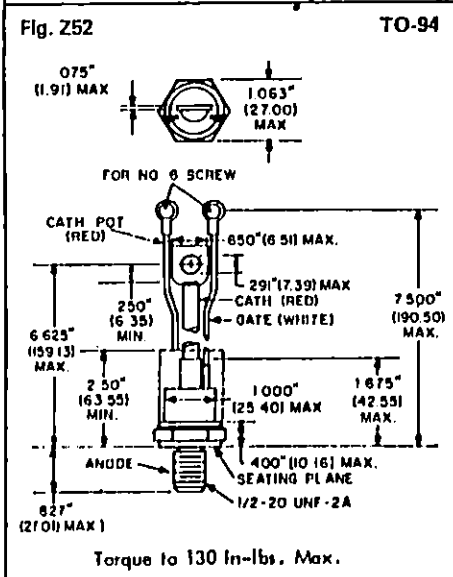
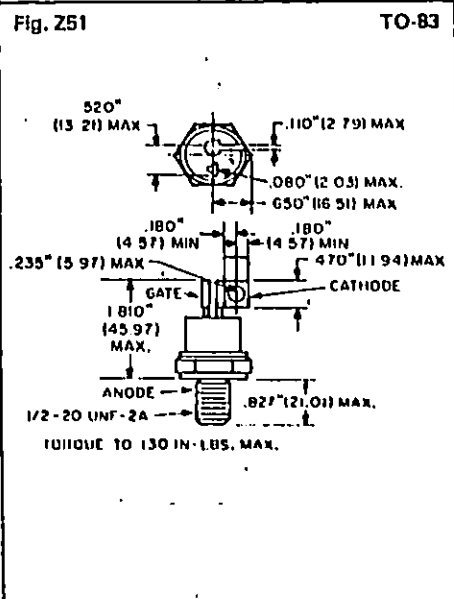
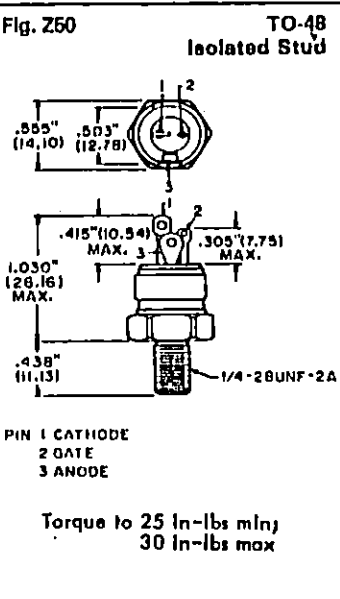
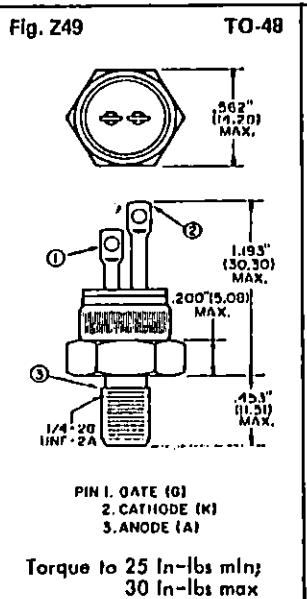
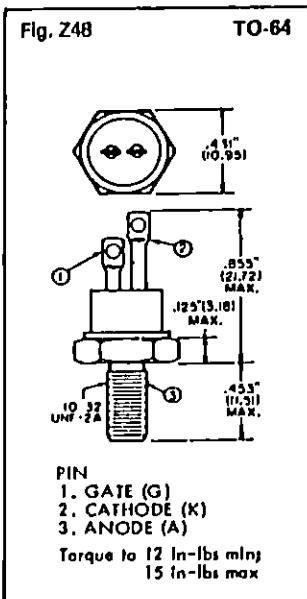
Phase Control - SCR (cont'd)



VDRM	I _T Max Forward Current (Amps)										
	I _T RMS - All Conduction Angles				I _T Ave - Conduction Angle = 180°						
	RMS	40 A	50 A	55 A	80 A	125 A	275 A	470 A	550 A	850 A	1880 A
Av.	25 A	32 A	35 A	50 A	80 A	175 A	300 A	350 A	550 A	1200 A	
200					ECG6567	ECG6570	ECG6576	ECG6580	ECG6590		ECG6594
400				ECG6539							
600					ECG6568	ECG6572	ECG6577	ECG6582	ECG6591	ECG6587	ECG6595
800	ECG5538	ECG5538	ECG5540								
1200				ECG5569	ECG5574	ECG5579	ECG5584	ECG5592	ECG5589	ECG5596	ECG5599
I _{GT} Min (mA)	40	80	40	100	100	100	150	150	150	150	200
V _{GT} Max (V)	1.5	1.5	1.5	3.0	3.0	3.0	3.0	3.0	3.0	3.0	3.0
I _{Surge} (A)	400	500	600	1200	1800	1800	5500	5500	10,000	10,000	27,000
I _{Hold} Min (mA)	60	150	60	200	200	200	300	300	300	300	500
V _{GFM} (V)	10	10	10	20.0	5.0	5.0	5.0	5.0	5.0	5.0	5.0
V _{GRM} (V)	10	5	5	10.0	6.0	6.0	6.0	6.0	6.0	6.0	6.0
V _{F on} (V) Max	1.8	1.9	1.8	2.5	2.2	2.2	1.5	1.5	2.0	2.0	1.7
P _{G Av} (W)	0.5	1.0	0.8	2.0	3.0	3.0	3.0	3.0	3.0	3.0	3.0
Operating Temp. T _j °C	-40 to +125	-40 to +125	-40 to +125	-40 to +125	-40 to +125		-40 to +125	-40 to +125	-40 to +125	-40 to +125	-40 to +125
d _v /d _t (Max) V/μsec	60	600	375	200	300	300	300	300	300	300	300
Non-Repetitive d _v /d _t Max Amps/μsec	--	--	--	200	800	800	800	800	800	600	800
Fig. No.	Z41	Z40A	Z40A	Z47	Z52	Z51	Z53	Z55	Z54	Z58	Z57
Package	TO-220	TO-218 Isolated Tab	TO-218	TO-65	TO-94	TO-83	TO-93	HT-18	ST-75	HT-23	HT-29

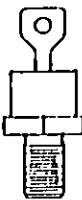
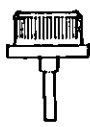
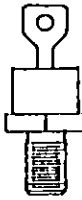




Package Outlines - See Page 1-110


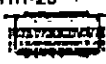
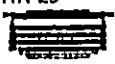
SCR Outlines (cont'd)






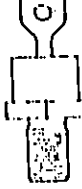
Industrial Rectifiers (cont'd)

Note: Standard polarity is cathode to case.
 * Indicates polarity is anode to case.

Peak Reverse Voltage (PRV Volts)	I _O , Average Rectified Forward Current (Amps)								
	40 A	50 A	60 A	70 A	85 A	150 A	300 A	450 A	550 A
50	ECG5980		ECG6020	ECG6048					
50	ECG5981*		ECG6021*	ECG6049*					
100	ECG5982		ECG6022	ECG6050					
100	ECG5983*		ECG6023*	ECG6051*					
200	ECG5986		ECG6028	ECG6054	ECG6074				
200	ECG5987*		ECG6027*	ECG6055*	ECG6075*				
300	ECG5988								
300	ECG5989*								
400	ECG5990	ECG5826	ECG6034	ECG6060		ECG6154	ECG6354		
400	ECG5991*	ECG5827*	ECG6035*	ECG6061*		ECG6155*	ECG6355*		
500	ECG5992								
500	ECG5993*								
600	ECG5994		ECG6040	ECG6064	ECG6078	ECG6158	ECG6358		ECG6102
600	ECG5995*		ECG6041*	ECG6065*	ECG6077*	ECG6157*	ECG6357*		ECG6103*
800	ECG5998	ECG5828	ECG6042	ECG6068					
800	ECG5999*	ECG5829*	ECG6043*	ECG6069*					
1000	ECG6002		ECG6044	ECG6072		ECG6158	ECG6358		
1000	ECG6003*		ECG6045*	ECG6073*		ECG6159*	ECG6359*		
1200					ECG6078				ECG6104
1200					ECG6079*				ECG6105*
1400						ECG6182	ECG6362		
1400						ECG6183*	ECG6363*		
1600								ECG6106	
1600								ECG6107*	
IFM Surge	500 A	600 A	700 A	1200 A	1500 A	2100 A	5000 A	8500 A	10,000 A
T _c at Rated I _O (°C) Max	+ 150	+ 150	+ 125	+ 125	+ 120	+ 130	+ 130	+ 120	+ 125
V _F at Rated I _O	1.0 V Typ 1.2 V Max	.9 V Typ 1.0 V Max	1.0 V Typ 1.2 V Max	1.0 V Typ 1.2 V Max	1.0 V Typ 1.1 V Max	1.0 V Typ 1.1 V Max	1.0 V Typ 1.2 V Max	1.1 V Typ 1.45 V Max	1.0 V Typ 1.1 V Max
Fig. No.	Z20	Z28	Z20		Z29	Z30	Z31		Z31
Package	DO-5	Press Fit	DO-5		DO-8	DO-9	SR-75		SR-75
									

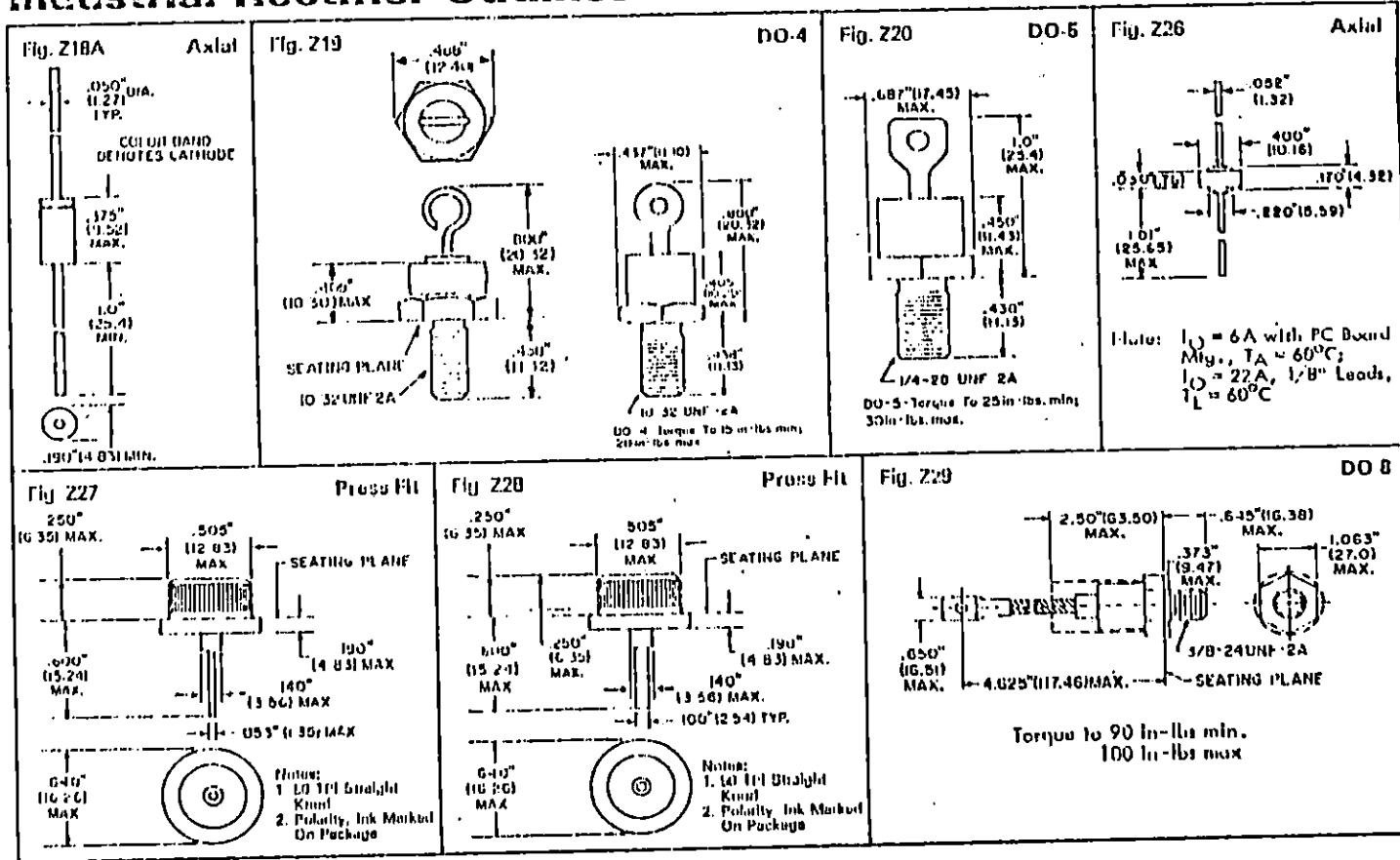
Peak Reverse Voltage (PRV Volts)	I _O , Average Rectified Forward Current (Amps)		
	500 A	1200 A	2200 A
600	ECG8110	ECG8113	ECG8118
1200	ECG8112	ECG8115	ECG8118
IFM Surge	6500 A	12,500 A	30,000 A
T _c at Rated I _O (°C) Max	+ 110	+ 105	+ 105
V _F at Rated I _O	1.4 V Typ 1.85 V Max	1.2 V Typ 1.6 V Max	1.1 V Typ 1.45 V Max
Fig. No.	Z32	Z33	Z34
Package	HR-16	HR-23	HR-29
			

Schottky Barrier Rectifiers

Peak Reverse Voltage (PIV Volts)	I _F Average Rectified Forward Current (Amps)				
	12 A* (8 A/Leg)	30 A* (16 A/Leg)		35 A	60 A
40	ECG6086	---	---	---	---
15	---	ECG6087	ECG6090	ECG6084	ECG6094
IFM Surge (A)	140/Leg	160/Leg	200/Leg	600	800
T _c @ Rated I _F (°C) Max	+120	+130	+105	95	95
Forward Voltage Drop @ Rated I _F , V _F (V)	.65/Leg	.73/Leg	.72/Leg	.60	.65
Fig. No.	241B		241C	219	220
Package	TO 220		TO 3P(TO 218)	DO-4	DO 5
Available in Cathode to Case Only					

* Dual Rectifiers

Industrial Rectifier Outlines



TTL
MSI

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374,
SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND
EDGE-TRIGGERED FLIP-FLOPS

BULLETIN NO. DL-6 7712350, OCTOBER 1976 - REVISED AUGUST 1977

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} For MOS Interface

'LS373, 'S373
FUNCTION TABLE

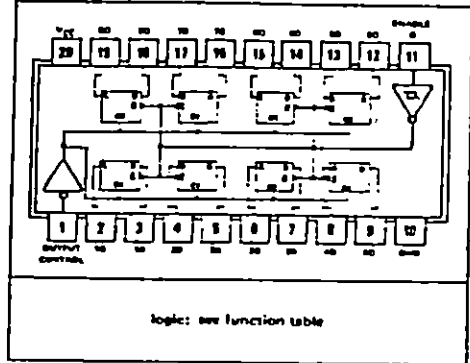
OUTPUT CONTROL	ENABLE G	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

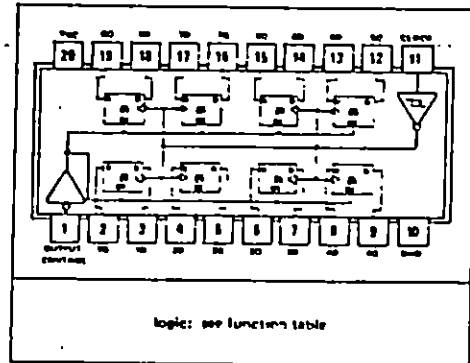
OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

See explanation of function tables on page 3-8.

SN54LS373, SN54S373 ... J PACKAGE
SN74LS373, SN74S373 ... J OR N PACKAGE
(TOP VIEW)



SN54LS374, SN54S374 ... J PACKAGE
SN74LS374, SN74S374 ... J OR N PACKAGE
(TOP VIEW)



description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was setup.

TTL
MSI

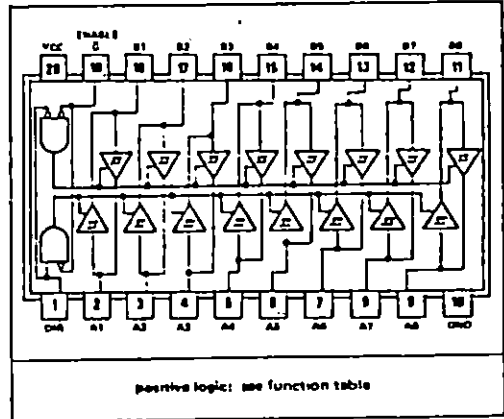
TYPES SN54LS245, SN74LS245 OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

BULLETIN NO. DLS 7712471, OCTOBER 1976—REVISED AUGUST 1977

- Bi-directional Bus Transceiver in a High-Density 20-Pin Package
- 3-State Outputs Drive Bus Lines Directly
- P-N-P Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Port-to-Port . . . 8 ns
- Typical Enable/Disable Times . . . 17 ns

TYPE	I _{OL} (SINK CURRENT)	I _{OH} (SOURCE CURRENT)
SN54LS245	12 mA	-12 mA
SN74LS245	24 mA	-15 mA

SN54LS245 . . . J PACKAGE
SN74LS245 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

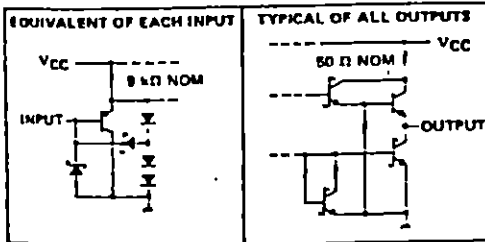
description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

The device allows data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input (\bar{E}) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74LS245 is characterized for operation from 0°C to 70°C .

schematics of inputs and outputs



FUNCTION TABLE

ENABLE \bar{E}	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high level, L = low level, X = irrelevant

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, VCC (see Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS245	-55°C to 125°C
SN74LS245	0°C to 70°C
Storage temperature range	-65°C to 150°C

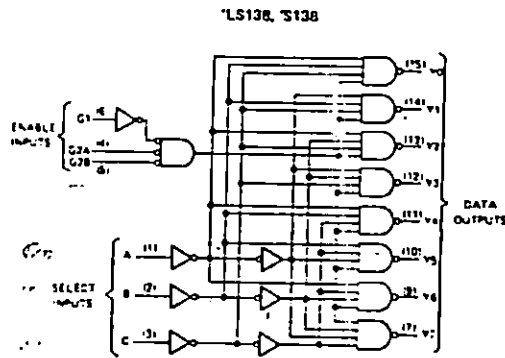
NOTE 1: Voltage values are with respect to network ground terminal.

TEXAS INSTRUMENTS
INCORPORATED
DAVIS ROAD, DALLAS, TEXAS 75237

7-349

TYPES SN54LS138, SN54S138, SN54LS139, SN54S139
 SN74LS138, SN74S138, SN74LS139, SN74S139
 DECODERS/DEMULTIPLEXERS

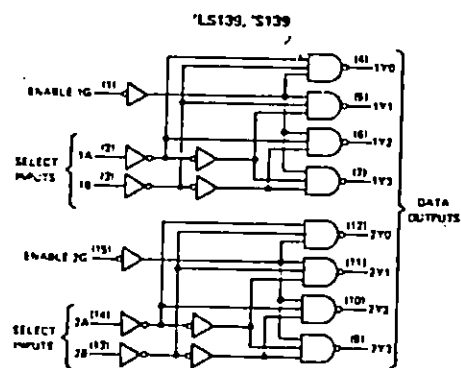
functional block diagrams and logic



'LS138, 'S138
 FUNCTION TABLE

ENABLE		SELECT			OUTPUTS							
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B
 H = high level, L = low level, X = irrelevant

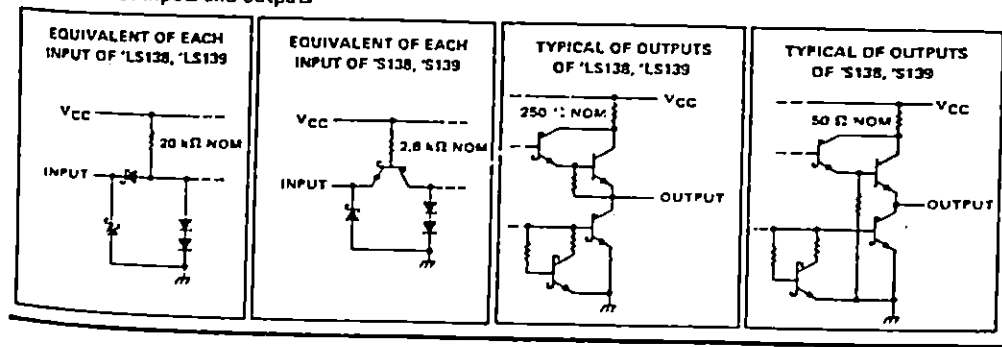


'LS139, 'S139
 (EACH DECODER/DEMULTIPLEXER)
 FUNCTION TABLE

ENABLE		SELECT		OUTPUTS			
G	G	B	A	Y0	Y1	Y2	Y3
H	X	X	X	H	H	H	H
L	L	L	L	L	H	H	H
L	L	L	H	H	L	H	H
L	L	H	L	H	H	L	H
L	L	H	H	H	H	L	L

H = high level, L = low level, X = irrelevant

schematics of inputs and outputs



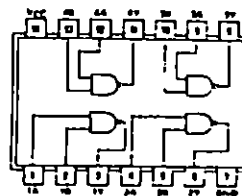
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

QUADRUPLE 2-INPUT
POSITIVE-NAND GATES
WITH OPEN-COLLECTOR OUTPUTS
03

positive logic:
 $Y = \overline{AB}$

See page 6-4

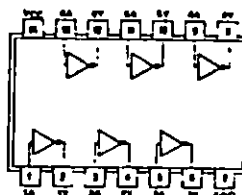


SN5403 (J)	SN7403 (J, N)
SN54L03 (J)	SN74L03 (J, N)
SN54LS03 (J, W)	SN74LS03 (J, N)
SN54S03 (J, W)	SN74S03 (J, N)

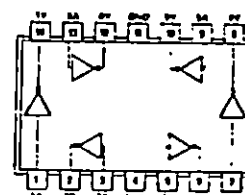
HEX INVERTERS
04

positive logic:
 $Y = \overline{A}$

See page 6-2



SN5404 (J)	SN7404 (J, N)
SN54H04 (J)	SN74H04 (J, N)
SN54L04 (J)	SN74L04 (J, N)
SN54LS04 (J, W)	SN74LS04 (J, N)
SN54S04 (J, W)	SN74S04 (J, N)

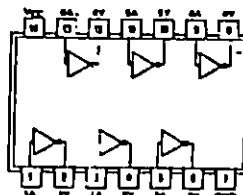


SN5404 (W)
SN54H04 (W)
SN54LD4 (T)

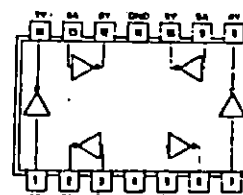
HEX INVERTERS
WITH OPEN-COLLECTOR OUTPUTS
05

positive logic:
 $Y = \overline{A}$

See page 6-4



SN5405 (J)	SN7405 (J, N)
SN54H05 (J)	SN74H05 (J, N)
SN54LS05 (J, W)	SN74LS05 (J, N)
SN54S05 (J, W)	SN74S05 (J, N)

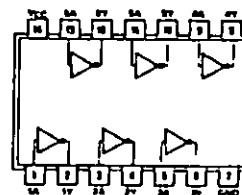


SN5405 (W)
SN54H05 (W)

HEX INVERTER BUFFERS/DRIVERS
WITH OPEN-COLLECTOR
HIGH-VOLTAGE OUTPUTS
06

positive logic:
 $Y = \overline{A}$

See page 6-24



SN5406 (J, W)	SN7406 (J, N)
---------------	---------------

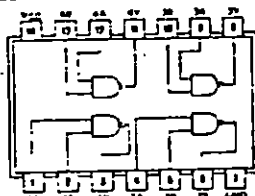
54/74 FAMILIES OF COMPATIBLE TTL CIRCUITS

PIN ASSIGNMENTS (TOP VIEWS)

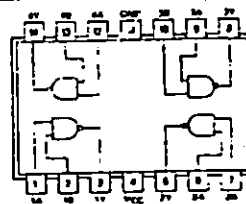
QUADRUPLE 2-INPUT POSITIVE-NAND GATES 00

positive logic:
 $Y = \overline{AB}$

See page 6-2



SN5400 (J) SN7400 (J, N)
 SN54H00 (J) SN74H00 (J, N)
 SN54L00 (J) SN74L00 (J, N)
 SN54LS00 (J, W) SN74LS00 (J, N)
 SN54S00 (J, W) SN74S00 (J, N)

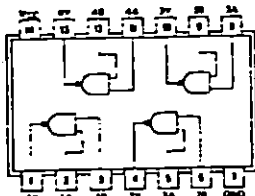


SN5400 (W)
 SN54H00 (W)
 SN54L00 (T)

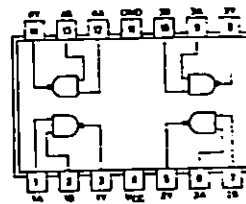
QUADRUPLE 2-INPUT POSITIVE-NAND GATES WITH OPEN-COLLECTOR OUTPUTS 01

positive logic:
 $Y = \overline{AB}$

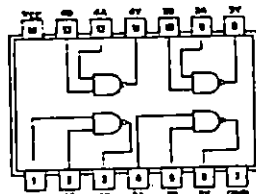
See page 6-4



SN5401 (J) SN7401 (J, N)
 SN54LS01 (J, W) SN74LS01 (J, N)



SN5401 (W)
 SN54H01 (W)
 SN54L01 (T)

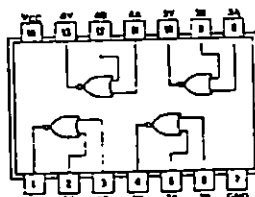


SN54H01 (J) SN74H01 (J, N)

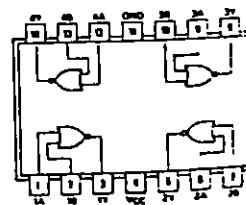
QUADRUPLE 2-INPUT POSITIVE-NOR GATES 02

positive logic:
 $Y = \overline{A+B}$

See page 6-8



SN5402 (J) SN7402 (J, N)
 SN54L02 (J) SN74L02 (J, N)
 SN54LS02 (J, W) SN74LS02 (J, N)
 SN54S02 (J, W) SN74S02 (J, N)



SN5402 (W)
 SN54L02 (T)

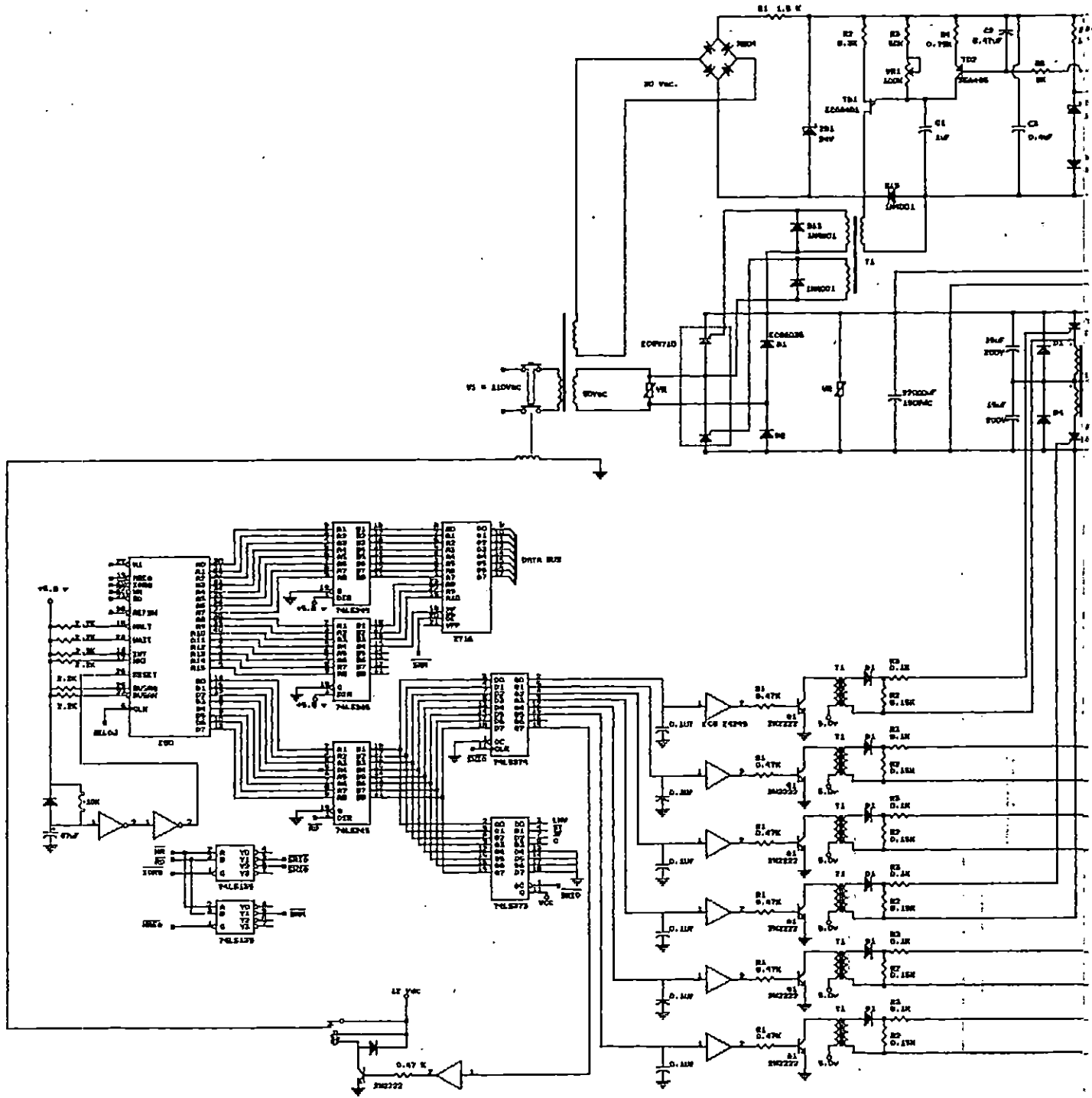
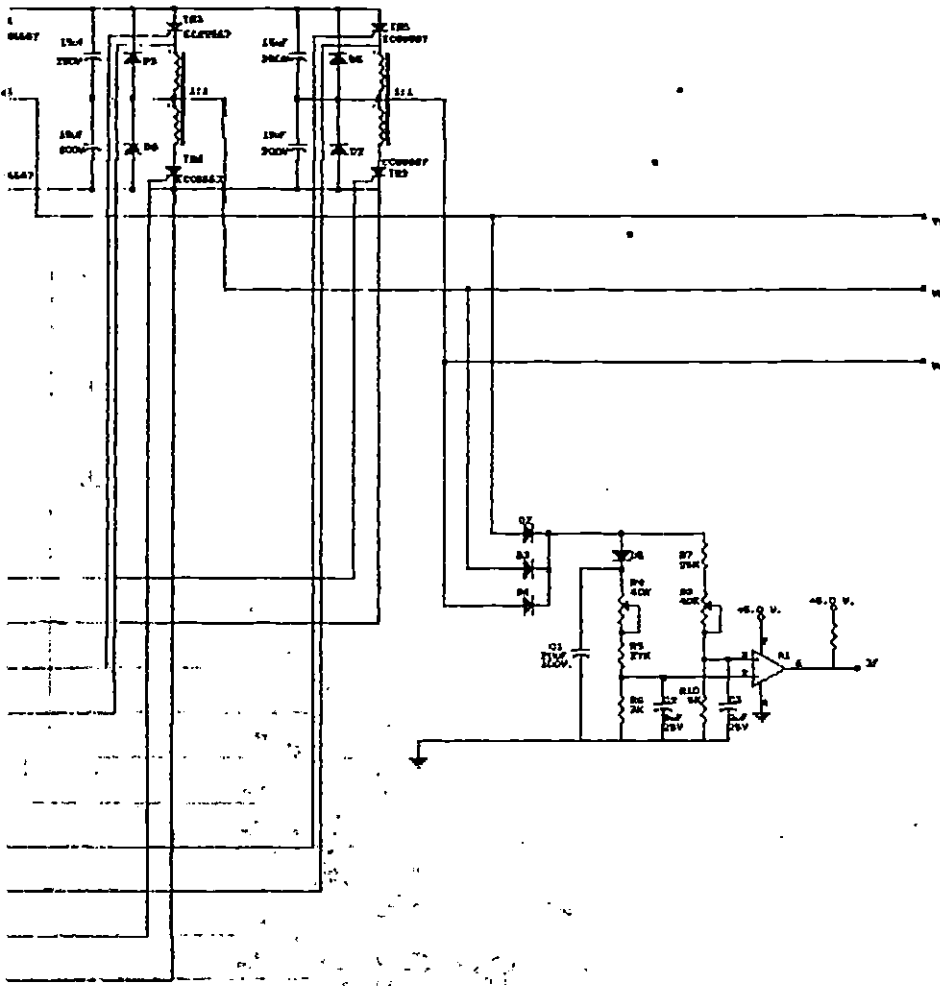
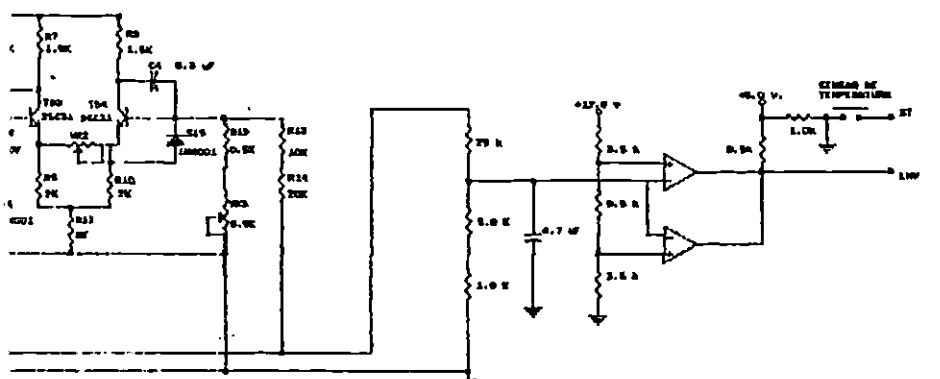


DIAGRAMA GENERAL DEL CONVERTIDOR DE MONOFASICO A TRIFASICO



001001 001 001 001 001