

T-UES
1504
L864C
2000
Ej. 2

UNIVERSIDAD DE EL SALVADOR
FACULTAD DE INGENIERIA Y ARQUITECTURA
ESCUELA DE INGENIERIA ELECTRICA



"Caracterización de Convertidor Monofásico
120 Voltios a Trifásico 240 Voltios"

PRESENTADO POR:

ANTONIO LÓPEZ RAMÍREZ
MILTON ERNESTO ZAMORA PEÑATE

15101399
15101299

PARA OPTAR AL TÍTULO DE:
INGENIERO ELECTRICISTA



4857

CIUDAD UNIVERSITARIA, AGOSTO 2000.

Recibido el 23/08/2009



UNIVERSIDAD DE EL SALVADOR

RECTORA :

DRA. MARIA ISABEL RODRÍGUEZ

SECRETARIO GENERAL :

LICDA. LIDIA MARGARITA MUÑOZ VELA

FACULTAD DE INGENIERIA Y ARQUITECTURA

DECANO :

ING. ALVARO ANTONIO AGUILAR ORANTES

SECRETARIO :

ING. SAÚL ALFONSO GRANADOS

ESCUELA DE INGENIERIA ELECTRICA

DIRECTOR :

ING. RICARDO ALFREDO COLORADO



UNIVERSIDAD DE EL SALVADOR
FACULTAD DE INGENIERIA Y ARQUITECTURA
ESCUELA DE INGENIERIA ELECTRICA

Trabajo de Graduación previo a la opción al grado de:

INGENIERO ELECTRICISTA

Título:

**"Caracterización de Convertidor Monofásico
120 Voltios a Trifásico 240 Voltios"**

Presentado por :

**ANTONIO LÓPEZ RAMÍREZ
MILTON ERNESTO ZAMORA PEÑATE**

Trabajo de Graduación aprobado por:

Coordinador y Asesor:



ING. RICARDO ERNESTO CORTEZ

San Salvador, Agosto de 2000.

Trabajo de Graduación aprobado por:

Coordinador y Asesor:



ING. RICARDO ERNESTO CORTEZ



ESCUELA DE INGENIERIA ELECTRICA
FACULTAD DE INGENIERIA
Y ARQUITECTURA
Universidad de El Salvador

ACTA DE CONSTANCIA DE NOTA Y DEFENSA FINAL

En esta fecha, 28 de Julio de 2000 en el local de la Sala de Lectura de la Escuela de Ingeniería Eléctrica, a las catorce horas, en presencia de las siguientes autoridades de la Escuela de Ingeniería Eléctrica de la Universidad de El Salvador:

- 1- Ing. Ricardo Alfredo Colorado
Director
- 2- Ing. Carlos Eugenio Martínez
Secretario

Firma:

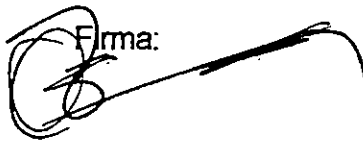







Y, con el Honorable Jurado de Evaluación integrado por las personas siguientes:

- 1- Ing. Oscar Durán
- 2- Ing. Anselmo Valdizón
- 3- Ing. Ulises Zelaya

Firma:

Se efectuó la defensa final reglamentaria del Trabajo de Graduación:

"Caracterización de Convertidor Monofásico 120 Voltios a Trifásico 240 Voltios"

A cargo de los Bachilleres:

LÓPEZ RAMÍREZ, ANTONIO
ZAMORA PEÑATE, MILTON ERNESTO

Habiendo obtenido el presente trabajo una nota final, global de 8.7 (Ocho punto siete).

DEDICATORIA

La consumación de éste Trabajo de Graduación la dedico a todos aquellos seres queridos que siempre me han apoyado incondicionalmente que han sido y serán la esencia de mi vida

A nuestro Dios : JEHOVA por haberme dado la fuerza necesaria y permitido realizar una meta más en mí vida. Porque Él es mi inspiración y gozo.

A nuestro señor : Jesucristo por ser aquel amigo fiel e incondicional que me ha servido de protector y guía.

A mi Angel Guardián: Ana Gládys Ramírez. Esa bendita madre que Dios ha dado terrenalmente. Porque se sacrificó incondicionalmente para que alcanzase mis metas.

A mi Abuela : María Luisa Ramírez. Por ser mí segunda Madre y preocuparse continuamente por el desarrollo del Trabajo.

A mí Hermano : Nicolás Antonio López Ramírez. Por haberse sacrificado conmigo para vencer los obstáculos que presenta la vida diaria.

ANTONIO LÓPEZ RAMÍREZ

DEDICATORIA

Después de la conclusión satisfactoria de éste gran tema quiero dedicarlo con honor a:

A MI SEÑOR BENDITO:

Por iluminarme siempre y en cada momento de mi existencia, y así decidir con razón para un buen desarrollo de mi vida, honrarlo a él y a mi familia permanentemente.

A MIS PADRES:

Jaime Ernesto Zamora y Rosa Lidia Peñate de Zamora, porque con su amor, su fe y el esfuerzo me han convertido en una persona noble. Gracias.

A MIS AMORES:

Claudia Indira, mis hijitas lindas: **Nirvana y Libya**. Porque son mi orgullo y siempre les he cumplido y seguiré cumpliendo de la mejor forma.

A MI HERMANO:

Ing. Ernesto Antonio Zamora, ya que siempre me ha contribuido a resolver problemas. Prácticamente somos casi iguales.

A MIS HERMANAS:

Toyi, Rosita, Yémil y Neki; porque siempre han sido unas verdaderas hermanas y estar pendiente de nuestros Padres. El triunfo es de todos.

A MIS FAMILIARES Y AMIGOS:

Porque siempre han estado pendientes en cualquier momento confiando y creyendo en mí.

A Mí:

Porque siempre supe que podía lograr esto y más.

*"The great moments of my life,
are Lord together . Building, working,
thinking & Loving".*

MILTON ZAMORA

AGRADECIMIENTOS

Queremos expresar nuestras infinitas gracias a todas aquellas personas que de una u otra manera nos llevaron a concluir este Trabajo de Graduación.

Al Dr. Hugo Calleja Gjumlich (CENIDET-Morelos), quien nos dio grandes indicaciones. El Ing. Ricardo Colorado Director de la Escuela de Ingeniería Eléctrica, siempre estuvo pendiente en el desarrollo del Trabajo aportando ideas para dar solución a los problemas. A la Honorable Junta Directiva de la Facultad de Ingeniería y Arquitectura por la justa y merecida oportunidad. A nuestro Asesor Ing. Ricardo Cortez por una transparente y ordenada coordinación.

Ing. Ulises Zelaya., Ing. Saúl Valencia, Ing. Antonio Ascencio, Donald Salguero, Raúl Franco quienes nos facilitaron equipo de prueba.

Al Personal de Laboratorio de la Escuela de Ingeniería Eléctrica Sr. Salvador Posada y Juan Carlos Olano por su desmedida colaboración y facilitación de componentes y equipo.

PREFACIO.

Este trabajo tiene por objeto diseñar y construir el prototipo de un convertidor ac/ac monofásico a trifásico de bajo costo, es decir que sea lo más simple posible, pero con una alta y comprobada calidad de voltaje de salida trifásico. El convertidor tendrá su campo de aplicación en zonas rurales de El Salvador para dinamizar las aplicaciones productivas típicas de la energía eléctrica. Por lo tanto, se demostrará su salida trifásica balanceada, generada con una operación y técnica programada PWM que es la actualmente utilizada para optimizar el control de potencia en las aplicaciones industriales. Esta técnica será realizada con ayuda de la unidad microcontroladora MC68HC11, y posteriormente se sustituye por un sistema mínimo UV-EPROM.

EL prototipo del convertidor, será implementado por dispositivos semiconductores BJT de potencia, después de elegir y según las condiciones, seleccionar la topología de convertidor analizada que ofrezca el más bajo costo y una calidad de salida de voltaje aceptable, para alimentar un motor trifásico de 1 HP, el cual es el componente principal de una máquina productiva. El trabajo tiene por objeto realizar satisfactoriamente la conversión (corriente alterna/corriente alterna) monofásico a trifásico; para alimentar, cargas trifásicas, específicamente; para suplir las necesidades que existen en zonas rurales, para aplicaciones productivas de la energía eléctrica, lo que significa el uso de máquinas o motores de alimentación trifásica, tales como: molinos, bombas, etc. por lo que el diseño del convertidor que se propone es eficiente y de bajo costo.

La realización de dicho convertidor estará basada en la electrónica de potencia moderna la cual permite realizar sistemas electrónicos de alta eficiencia y bajo costo para la explotación productiva de la energía eléctrica en zonas rurales.

RESUMEN

En sistemas eléctricos rurales, el costo de producir potencia trifásica a una localización remota es alto debido al elevado costo de una extensión de tres fases. Además el tipo de estructura de un servicio trifásico es más alto que el de un servicio de una sola fase, por lo que incrementa el costo. Por lo tanto el convertidor de una fase a tres fases es una excelente selección para situaciones donde la potencia trifásica no está disponible. Tales convertidores tienen un amplio margen de aplicaciones en las cuales el motor trifásico es su principal componente y la alimentación disponible es monofásica. Tales aplicaciones incluyen una variedad de equipo agrícola como ventilador, bombas, aire acondicionado, etc.

Otros factores que influyen en la selección de un convertidor estático y un motor trifásico son:

- 1) Los motores trifásicos son significativamente más eficientes y económicos que su contraparte de una sola fase.
- 2) Las corrientes de arranque y desaceleraciones de un motor trifásico son menos severas que un motor de una sola fase.

Otra área de aplicación para un convertidor estático es en molinos, desgranadoras de maíz, etc.

La discusión anterior enfatiza una fuerte necesidad para hacer con eficiencia, el costo efectivo y una alta calidad de la conversión monofásica a trifásica.

La superioridad del convertidor estático se refuerza con avanzados dispositivos de potencia y su control lógico promete implementación simplificada la potencia procesando hardware. El trabajo previo de convertidores monofásico a trifásico ha explorado una variedad de posibles topologías de circuitos y configuraciones¹. El uso de tiristores en combinación con componentes L-C es una propuesta. La principal desventaja es el control limitado(rango) y los valores deben de ser combinados

1 "Economic Single-Phase to three-Phase Converter Topologies for Fixed and Variable Frequency Output". July 1993.

con la carga de impedancias. Otra sugerencia es un convertidor estático en combinación con un autotransformador.

Entre los problemas que enfrentan los proyectos de electrificación rural en el país se menciona principalmente, la falta de aplicaciones, tales como de bombeo de agua para el riego de cultivos, molinos desgranadoras de maíz, etc., en los que generalmente su alimentación es trifásica debido a que su eficiencia es mucho mayor que su contraparte monofásico lo cual se refleja en el costo de consumo de kilowatts.

La entrega de servicio trifásico por parte de una compañía distribuidora de electricidad implica elevados costos que involucran el tendido de las líneas, que dependerá principalmente de la distancia del punto de recibo al punto de entrega.

Por lo general, en las zonas rurales el tendido de líneas que proporciona la compañía distribuidora es monofásico a 120 o 220VAC. Debido principalmente a falta de aplicaciones productivas.

En países como México, la India. La oferta de equipos como el que se propone en este trabajo ha contribuido a dinamizar el mercado de las aplicaciones productivas. Desde la perspectiva del consumidor, la disponibilidad de este tipo de tecnología reduce los costos relacionados con la disponibilidad del servicio trifásico, ya que el tendido aproximado por kilómetro de alimentación es $\approx 100,000$ colones².

A diferencia del convertidor propuesto su costo es más bajo que el costo de una línea trifásica.

² Fuente CAESS (Compañía Alumbrado Eléctrico de San Salvador)

TABLA DE CONTENIDOS

| <u>Contenido</u> | <u>Pág.</u> |
|--|-------------|
| Capitulo I. CONVERSION MONOFÁSICO A TRIFÁSICO | 1 |
| 1.1 Antecedentes | 1 |
| 1.2 Convertidores Monofásico a Trifásico Propuestos | 3 |
| 1.2.1 Topologías Propuestas de Convertidor Monofásico a Trifásico. | 4 |
| 1.2.1.1 Convertidor Monofásico a Trifásico Medio Puente. | 4 |
| 1.2.1.2 Convertidor Monofásico Puente Completo. | 5 |
| 1.2.1.3 Convertidor Monofásico a Trifásico Medio Puente Con Entrada Activa de Forma de Corriente | 6 |
| 1.2.1.4 Convertidor Monofásico a Trifásico Puente Completo Con Control de Forma de Onda. | 8 |
| 1.2.1.5 Convertidor Monofásico a Trifásico de Punto Neutro Enlazado. | 10 |
| 1.2.2 Características Ideales de los Convertidores Monofásico a Trifásico. | 11 |
| 1.2.3 Comparación de Convertidores Monofásico Trifásico Propuestos | 11 |
| 1.3 Minimización de la Distorsión Armónica Generada en la Red por la Conversión Monofásico a Trifásico | 12 |
| 1.3.1 Ecuaciones de diseño | 12 |
| Conclusiones | 15 |
| Referencias Bibliográficas | 16 |

| | |
|---|----|
| Capítulo II. TECNICAS PROGRAMADAS PWM PARA ELIMINACION SELECTIVA DE ARMONICOS | 17 |
| 2.1 Caracterización de las Técnicas Programada para la Eliminación de Armónicos. | 19 |
| 2.1.1 Técnicas para la Eliminación Selectiva de Armónicos en Inversores trifásicos | 20 |
| 2.1.1.1 Técnica Línea a Neutro 1 | 21 |
| 2.1.1.2 Técnica Línea a Neutro 2 | 24 |
| 2.1.1.3 Técnica Línea a Línea. TLL | 26 |
| 2.1.2 Técnicas para la Eliminación Selectiva de Armónicos en Inversores Monofásicos | 29 |
| 2.1.2.1 Técnica Línea Neutro. SLN1 | 29 |
| 2.1.2.2 Técnica Línea Neutro. SLN2 | 32 |
| 2.1.2.3 Técnica Línea Neutro. SLL | 34 |
| 2.1.2.4 Técnicas TLN1, TLN2, y TLL para Inversores Monofásicos | 37 |
| 2.2 Métodos de solución de para ecuaciones no lineales. | 40 |
| 2.2.1 Requisitos de Almacenamiento. de una PWM Programada. | 40 |
| 2.3 Selección de la Técnica PWM Óptima para Cada Aplicación. | 41 |
| Conclusiones | 43 |
| Referencias Bibliográficas | 44 |
| Capítulo III. DISEÑO Y CONSTRUCCIÓN DEL CONVERTIDOR MONOFÁSICO A TRIFÁSICO | 45 |
| 3.1 Diagrama en Bloques del Circuito Convertidor Monofásico a Trifásico. | 44 |
| 3.1.1 Funcionamiento del Circuito Convertidor Monofásico a Trifásico. | 46 |
| 3.2 Dimensionamiento del Convertidor Monofásico a Trifásico. | 47 |
| 3.2.1 Topología de la Etapa de Potencia del Convertidor Monofásico a Trifásico. | 49 |
| 3.2.1.1 Dimensionamiento de la Etapa de Potencia. | 51 |
| 3.3 Circuito Interfase para acoplo de señal PWM BJT's (T1 y T2). | 56 |
| 3.4 Circuito Sincronizador de Voltaje de Alimentación Vi con Señal de Control. | 59 |

| | | |
|------|--|----|
| 3.5 | Implementación de las Técnicas Programadas al Microcontrolador MC68HC11. | 61 |
| 3.6 | Software. | |
| 3.7 | Alternativa Económica para Control y Generación de Señales PWM para el Convertidor Monofásico a Trifásico. | 68 |
| | 3.7.1 Circuito de Sincronización de Fase. | 71 |
| | 3.7.2 Diseño del Filtro Externo Pasabajas. | 72 |
| | 3.7.3 Dimensionamiento del Circuito Temporizador Monoestable. | 73 |
| | 3.7.4 Selección del Contador y Divisor $\neq N$. | 74 |
| | 3.7.5 Circuito Desviador de Fase. | 75 |
| | 3.7.6 Programación de UV-EPROM y Retenedor | 76 |
| 3.8 | Protecciones del Convertidor Monofásico a Trifásico. | 77 |
| 3.9 | Resultados Experimentales del Convertidor | 80 |
| 3.10 | Evaluación Económica del Proyecto | 85 |
| | Conclusiones | 87 |
| | Conclusiones Generales | 88 |
| | Recomendaciones y Limitaciones | 89 |
| | Referencias Bibliográficas | 90 |
| | Anexos | 92 |

CAPITULO I. CONVERSION MONOFÁSICO A TRIFÁSICO

1.1 ANTECEDENTES

Los convertidores son redes eléctricas que contienen dispositivos semiconductores, que en un sentido dejan pasar la corriente y bloquean en forma alternativa, mientras en el otro sentido bloquean permanentemente, estos convertidores pueden estar compuestos por dos subsistemas: la rectificación ac/dc y la inversora dc/ac, que son circuitos que convierten potencia dc a potencia ac, al voltaje y frecuencia que se desee. Las cargas en electrónica de potencia inyectan armónicos en la corriente del sistema. El incremento de consumo de potencia inevitablemente produce el deterioro de calidad de potencia de los equipos, debido al modo de switcheo de los equipos electrónicos de potencia, que deben satisfacer dos requisitos. El primero, obtener una línea de corriente senoidal para cumplir con el standard internacional de reducción de armónicos IEC 1000-3-2¹; y segundo, lograr el bajo costo y alta eficiencia de operación.

El uso de una fuente trifásica balanceada ac principalmente permite el uso más eficiente y económico de la potencia eléctrica. Esto es, principalmente, porque los equipos eléctricos trifásicos tales como los motores de inducción trifásico son significativamente más eficientes y económicos que sus contrapartes monofásicos. En muchas instancias, sin embargo, la extensión de líneas de potencia trifásica en zona rural son no económicas. Consecuentemente estas áreas son alimentadas por una fase. Una solución típica de este problema es haciendo uso de un convertidor estático monofásico a trifásico, cuyo costo a menudo es solamente una fracción del costo de del servicio completo trifásico.

Las topología de convertidores monofásico a trifásico actualmente disponibles se clasifican en tres categorías: 1) Tipo giratorio 2) Autotransformador con switcheo de capacitores y 3) Convertidores estáticos. Las categorías 1) y 2) emplean componentes voluminosos magnéticos de considerable tamaño y peso. La categoría 1) puede referirse específicamente a una máquina sincrónica. Un ejemplo de la categoría 2) es utilizando el clásico convertidor monofásico a trifásico que hace uso de un inversor trifásico, formado por tres inversores de medio puente y tiristores (Fig. 1.1).

¹ Harmonic Reduction in Low-Cost Power Supplies. IEEE. CIEP. 96.

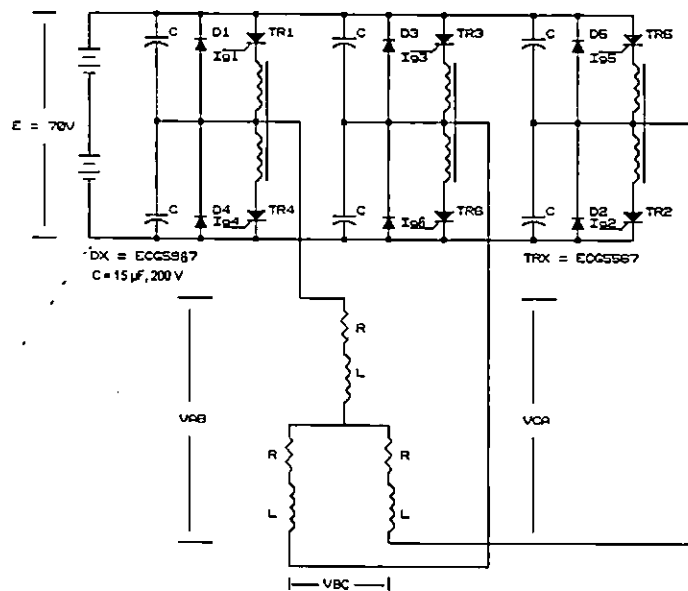


Fig. 1.1 Inversor Monofásico a Trifásico con SCR y Carga RL.²

La fuente de voltaje dc que alimenta el inversor es un rectificador regulador que da un voltaje V_{dc} , produciendo así la salida de voltaje pico máximo del inversor y con uso de un transformador elevador trifásico se logra el voltaje adecuado para excitar el motor. Lo que significa el peso y volumen del equipo. Similarmente esta topología tiene una versión con transistores (Figura 1.2). Se plantea la necesidad de una topología que involucre los objetivos de economía y eficiencia, para lograr una implementación competitiva. Para ello se minimiza el número de componentes del inversor y se utiliza técnicas avanzadas; tales como un PWM con eliminación selectiva de armónicos, con el fin de alcanzar finalmente un producto atractivo al mercado.

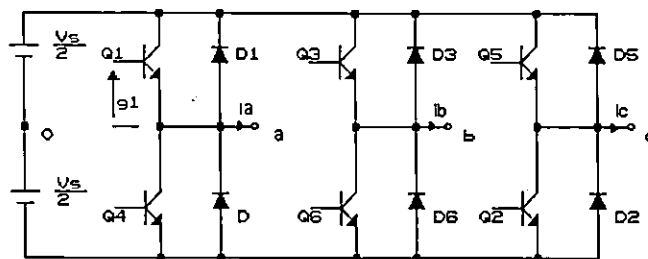


Fig. 1.2 Convertidor Monofásico a Trifásico con BJT.³

² Diseño y Construcción de Un Convertidor Monofásico a Trifásico para la Operación de Motores Trifásicos. Trabajo de Graduación UES 1995.

³ Inversores Trifásicos "Electrónica de Potencia" Muhammad H. Rashid.

Los convertidores estáticos de potencia eléctrica monofásico ac a trifásico ac son la propuesta hoy en día de este tipo de convertidor, por lo que se hace un estudio de algunas de las topología existentes de los convertidores que realizan esta conversión.

1.2 CONVERTIDORES MONOFÁSICOS A TRIFÁSICO PROPUESTOS.

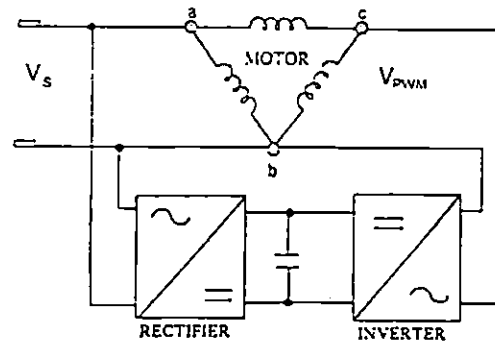


Fig. 1.3 Convertidor monofásico a trifásico propuesto⁴.

La Fig. 1.3 presenta el diagrama en bloques del convertidor monofásico a trifásico, el cual está diseñado para manejar motores ac conectándolos en delta abierta, en las cuáles, un lado de la delta a-b se alimenta a partir de la fuente monofásico y la b-c es la forma de onda PWM generada, a partir del inversor operado en técnica PWM, el cual elimina el efecto de incluir armónicos a la salida del inversor y por consiguiente el efecto de desbalance en el motor. La salida se modula en tal operación que los armónicos de bajo orden del inversor son eliminados; la alta frecuencia de modulación, mejora las formas de corriente, puesto que las inductancias del motor actúan como filtros de corriente. Hay sin embargo un límite de la frecuencia de modulación, ya que las pérdidas de switcheo en las etapas del inversor dependen de esta frecuencia.

Este esquema de convertidor propuesto es similar a dos transformadores monofásicos conectados en delta abierta para alimentar carga trifásica. Solamente dos voltajes de línea a línea se definen V_{ab} y V_{bc} por la fuente y el convertidor, respectivamente. La potencia entregada a la carga trifásica por la fuente monofásica V_s está dada por:

$$P_{ab} = V_i \cdot I_a \cdot \cos(30^\circ + \phi) \quad (1.1)$$

⁴ "Calculated Performance of ac motors in a Single-Phase to Three-Phase Converter Application". IEEE.

y la potencia que entrega el convertidor por la carga trifásica es:

$$P_{bc} = P_{conv} = V_{cb} \cdot I_c \cdot (30^\circ - \phi) \quad (1.2)$$

Estos convertidores son ampliamente clasificados dentro de dos categorías:

- (1) Sin control de la forma de onda de corriente de entrada.
- (2) Con control de forma de onda de corriente de entrada.

En resumen se proponen tres topologías sin control de la forma de onda de la corriente de entrada (Figs. 1.4, 1.5 y 1.8), y dos topología con control de la forma de onda de la corriente de entrada (Figs. 1.6 y 1.7).

Estos convertidores utilizan las técnicas programadas PWM para garantizar la alta calidad de salida de voltaje y corriente de entrada sinusoidal en los terminales de la fuente monofásica. Por lo que son más eficientes y económicas que las topología anteriores de convertidores monofásico a trifásico.

1.2.1 Topología Propuestas de Convertidores Monofásico a Trifásico.

1.2.1.1 Convertidor Monofásico a Trifásico de Medio Puente.

La Figura 1.4 ilustra la Topología de un convertidor Medio Puente para convertir convenientemente una alimentación monofásica a una salida trifásica balanceada de frecuencia fija y voltaje fijo. Este circuito utiliza dos dispositivos semiconductores. Los switches T_1 y T_2 se operan en técnica PWM para sintetizar el voltaje V_{bc} , el cual tiene un ángulo de desfase de 60° (entre) con respecto a V_{ab} . Esto asegura que los voltajes en los terminales a, b, c están balanceadas y respetan la ley de las tres fases. Este esquema propuesto emplea pocos dispositivos semiconductores y hace el costo efectivo. La Fig. 1.4(b)-(e) presenta simulado los voltajes de línea a línea y las respectivas corrientes en una carga R-L. Esquemas avanzados PWM que eliminan selectivamente varios armónicos de bajo orden se emplean para garantizar alta calidad de formas de onda de salida. El armónico significativo es ajustado a 1.5 KHz. Una desventaja de este aprovechamiento es que los switches T_1 y T_2 están sujetos a dos veces el voltaje pico de la fase sola principal. También, el rango de VA de los capacitores en el enlace dc debe ser grande, la potencia que maneja esta topología es hasta 1KVA.

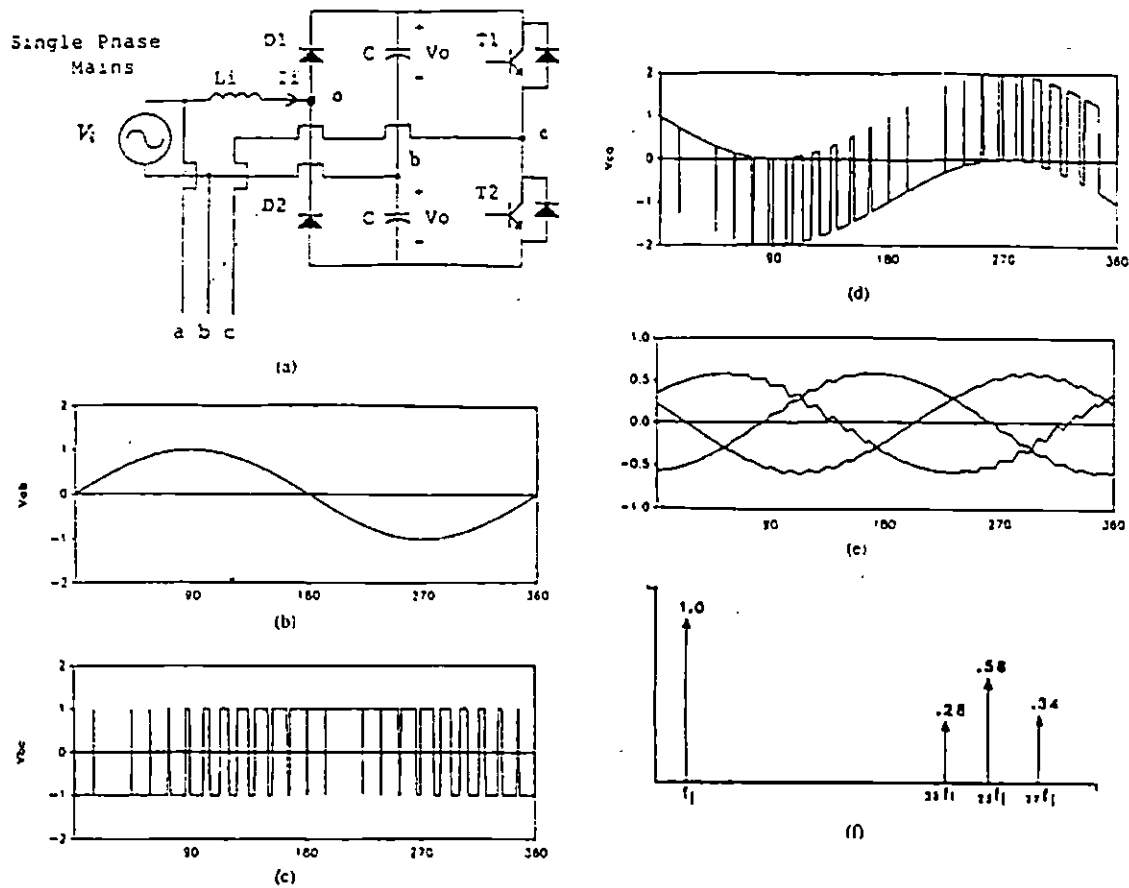


Fig. 1.4 (a) Convertidor Monofásico a Trifásico de Medio Puente Sin control de la Forma Onda de Corriente de Entrada. (b) Forma de Onda de Voltaje Simulada V_{ab} . (c) Forma de Onda de Voltaje Simulada V_{bc} . (d) Forma de Onda de Voltaje V_{ca} . (e) Corriente de Línea Simulada en Carga R-L. (f) Espectro de Armónicos de V_{bc} , V_{ca} .

1.2.1.2 Convertidor Monofásico a Trifásico de Puente Completo.

La Figura 1.5 presenta la topología del circuito que emplea cuatro switches activos con dos diodos D_1 y D_2 . Aquí, en esta topología el rango de voltaje que soportan los switches es 1.41 por unidad. Esta topología maneja motor trifásico arriba de 1HP.

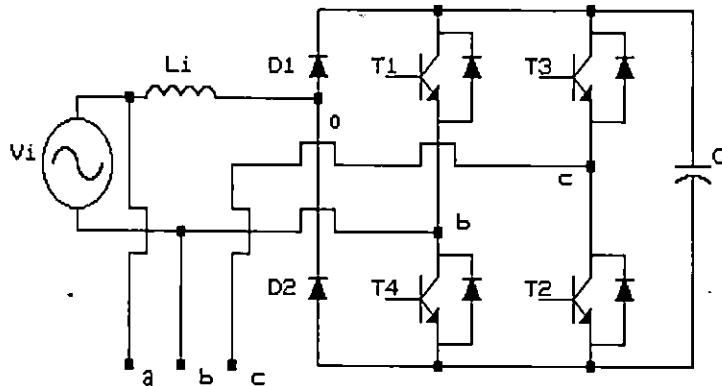
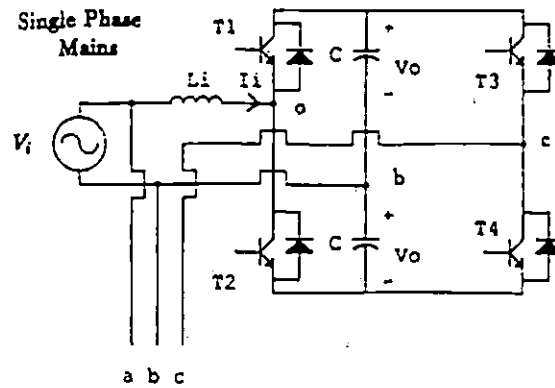


Fig. 1.5 Convertidor Monofásico a Trifásico Puente Completo.

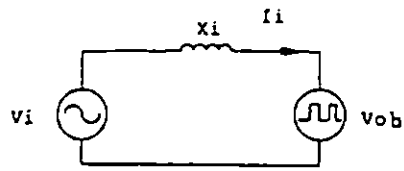
Las formas de onda de salida se presenta en la Figura 1.7(b)-(d). El voltaje de switcheo y los rangos capacitivos VA son más pequeños que los de la Fig. 1.4 (Vea Tabla 1.1). Esta topología del circuito no provee también forma de entrada de corriente o control del factor de potencia de entrada.

1.2.1.3 Convertidor Monofásico a Trifásico Medio Puente con Entrada Activa de Forma de Corriente.

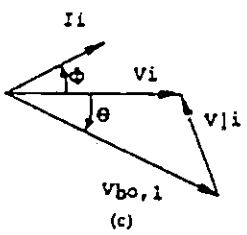
La Figura 1.6 y 1.7 ilustran las topología de circuitos que proveen características de forma de corriente de entrada generando un voltaje de salida trifásico balanceado. En la Fig. 1.6, los switches T_1 y T_2 son controlados para formar la corriente de entrada y T_3 a T_4 son operados en forma PWM para generar el voltaje V_{bc} . El banco de capacitores partidos en el enlace dc se cargan a través de los diodos presentes en T_1 y T_2 .



(a)



(b)



(c)

Fig. 1.6 (a) Convertidor monofásico a trifásico medio puente con control de forma de corriente de entrada. (b) Circuito equivalente rectificador de frontera-final. (c) Diagrama Fasorial.

Los switches T_1 y T_2 se operan en diseño PWM sincronizado para formar la corriente de entrada senoidal principal ac y estar en fase con el voltaje. El filtro inductor L_i ayuda a filtrar los armónicos de alto orden en la corriente. La Fig. 1.6 (b) presenta el circuito de frontera final equivalente del rectificador. La componente fundamental del voltaje en los puntos o y b es $V_{ob,1}$, que esencialmente refleja el voltaje debido a la operación PWM de

armónicos de bajo orden se usa para controlar T_1 y T_2 .

La Fig. 1.6 (c) presenta el diagrama fasorial del voltaje de entrada $V_i \angle 0$ y $V_{ob,1} \angle \theta$ donde θ es el cambio del ángulo de fase

entre los voltaje V_i y $V_{ob,1}$. El flujo de potencia real P_i de la principal ac dentro del enlace dc se expresa como

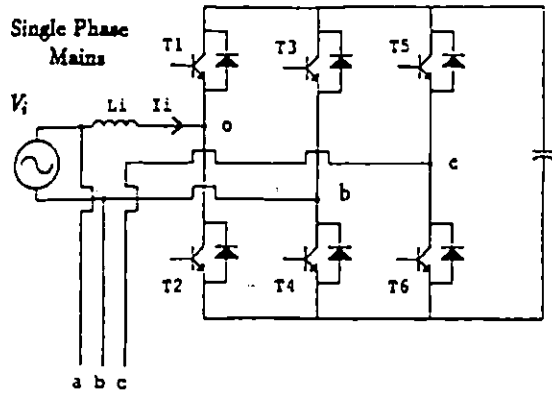
$$P_i = \frac{V_i * V_{ob,1}}{X_i} * \text{Sen } \theta \quad (1.3)$$

La ecuación (1.3) indica que la potencia de entrada P_i es bilateral entre la principal ac y en el enlace dc para valores positivos y negativos de θ , respectivamente. Resultando la corriente de entrada I_i senoidal y el factor de potencia se acerca a la unidad. Además la frecuencia de switcheo de T_1 y T_2 puede seleccionarse para obtener un pequeño tamaño del filtro inductor L_i .

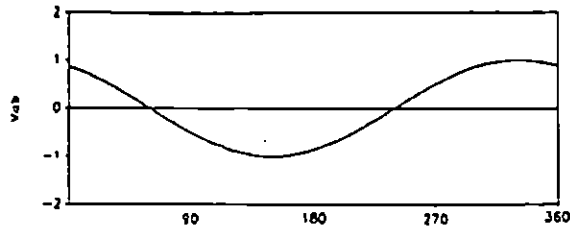
1.2.1.4 Convertidor Monofásico a Trifásico Puente Completo con Control de la Forma de Onda de Corriente de Entrada.

La figura 1.7 ilustra una versión en puente completo, en la que T_1 y T_2 se controlan para formar la corriente de entrada I_i para que sea senoidal y T_3 y T_6 generan el voltaje V_{bc} . Cuando la entrada de voltaje V_i es positivo, el switch T_2 se cierra y se abre para elevar el voltaje del capacitor y forma la corriente de entrada senoidal con factor de potencia uno. En el ciclo negativo de V_i , el switch T_1 ejecuta la misma función. Los switches T_3 - T_6 generan el voltaje V_{bc} , que esta desfasada 120° con respecto a la entrada V_{ab} . Así resultan los vectores de los voltajes trifásicos balanceados en los terminales a,b,c.

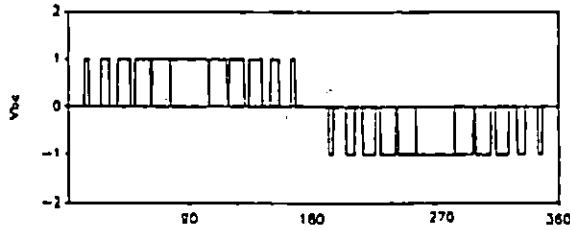
La Fig. 1.7(b)-(d) ilustra la salida de voltaje trifásico. Otra ventaja de la propuesta de las características de la forma de la corriente de entrada es que el flujo de potencia entre en el enlace dc y la fuente V_i es bidireccional. Este flujo de potencia bidireccional entre alimentación monofásica ac y la carga trifásica facilita y permite el rompimiento regenerativo de para cargas tipo motor. Además esta característica se obtiene sin la adición de otra etapa de potencia.



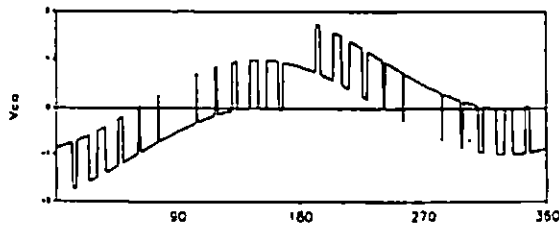
(a)



(b)



(c)



(d)

Fig. 1.7 (a) Convertidor monofásico a trifásico puente completo con control de la forma de corriente de entrada. (b) Forma de onda de voltaje simulada V_{ab} . (c) Forma de onda de Voltaje Simulada V_{bc} . (d) Forma de onda V_{ca} .

1.2.1.5 Topología de Convertidor Monofásico a Trifásico Punto Neutro Enlazado.

La Figura. 1.8 ilustra la topología del convertidor punto neutral enlazado conveniente para la conversión monofásico a trifásico. Los diodos D_1 y D_2 permiten a los capacitores en

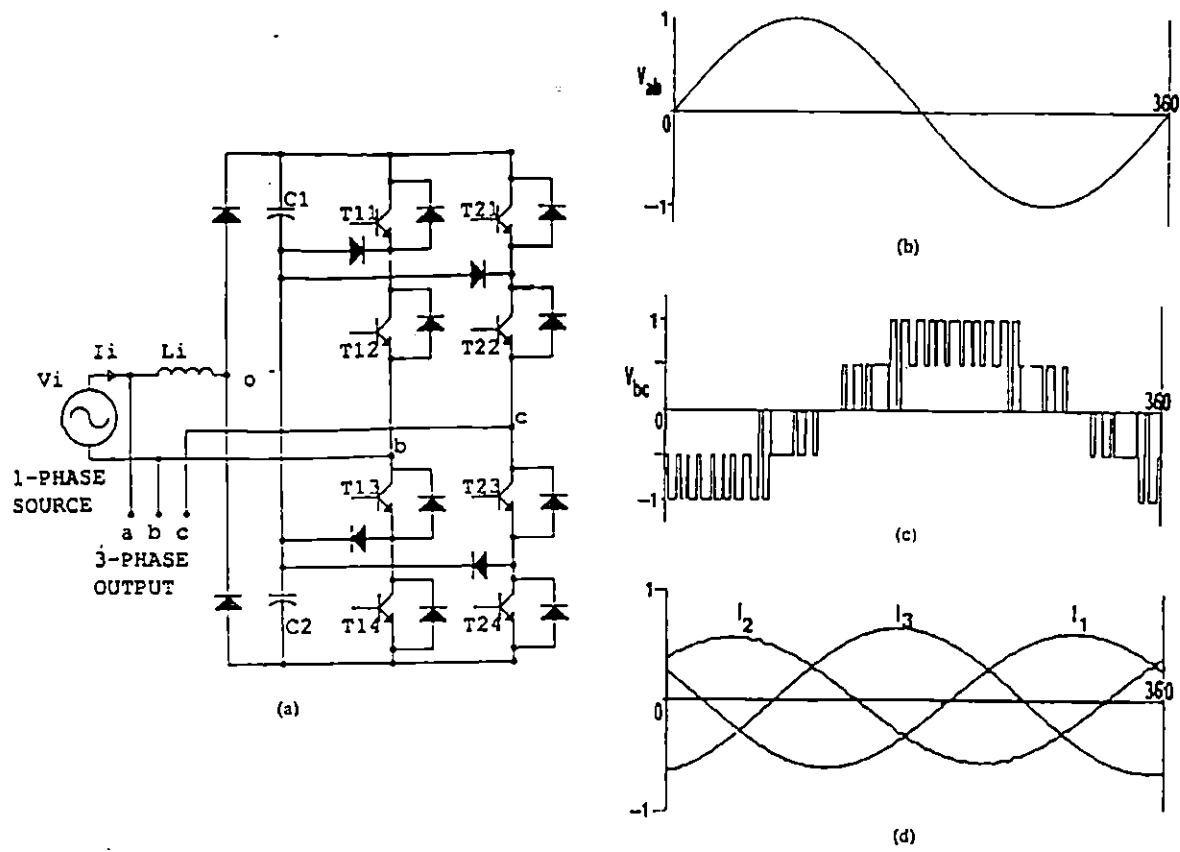


Fig. 1.8 Conversión monofásico a Trifásico para el convertidor de punto neutral enlazado. (a) Configuración del circuito de potencia. (b) Forma de onda del voltaje V_{ab} simulada. (c) Forma de onda de voltaje V_{bc} . (d) Simulación de la corriente de línea en una carga trifásica R-L.

el enlace dc cargarse de la fuente V_i . Los switches T_{11} - T_{14} y T_{21} - T_{24} se operan en forma PWM para generar los tres niveles de voltaje V_{bn} y V_{cn} , y están desfasados 120° un con respecto al otro. El voltaje resultante de salida V_{bc} es un nivel-cinco PWM y no contiene armónicos triples. Los switches también se controlan para proveer alta calidad de voltaje V_{bc} de nivel cinco PWM; una salida trifásica de salida balanceada es disponible. Además los diodos de enlace D_{c1} - D_{c4} están sujetos al voltaje $V_o/2$ o la mitad del voltaje del enlace dc. Esta característica particular facilita a esta topología el alto voltaje y alta potencia para la conversión de sistemas de monofásico a trifásico. La Fig.

trifásico. La Fig. 1.27(b)-(e) ilustra las formas de onda simulada.

1.2.2 Características Ideales de los Convertidores Monofásico a Trifásico

- Factor de Potencia de Entrada Unitario
- Regulación de Voltaje Cero
- Distorsión Armónica Nula
- Ley de las Tres Fases (120°E de desfase)

1.2.3 Comparación de Convertidores Monofásico a Trifásico

Tabla 1.2. Carta Comparativa para Convertidores Monofásico Trifásico⁵

| Sr. | Item | Sin Control de Corriente de Entrada | | Con control de Corriente de Entrada | | |
|-----|--|---|-----------------------------------|--|--|--|
| | | Fig.1.4 | Fig.1.5 | Fig.1.8 | Fig.1.5 | Fig. 1.6 |
| 1 | Número de dispositivos semiconductores de potencia | 2 diodos 2 switches Total 4 | 2 diodos 4 switches Total 6 | 6 Diodos 8 Switches Total 14 | 4 switches | 6 switches |
| 2 | Rango de Voltaje de Switcheo | 2.82 pu | 1.41 pu | 0.707 pu | 2.82 pu | 1.41 pu |
| 3 | Filtros Capacitivos | Dos | Uno | Dos | Dos | Uno |
| 4 | Calidad de Entrada de Corriente | Marginal | Marginal | Alta Marginal | Alta Calidad | Calidad |
| 5 | Flujo de Potencia Bidireccional Uniforme de Monofásico a Trifásico | Not Posible | Not Posible | No Posible | Posible | Posible |
| 6 | Posible Aplicación | Carga Motor Trifásico o UPS de 1KVA o menos | Motor Trifásico | Maneja Motores de Alta Potencia y Alto voltaje | Maneja Motores de alta potencia y alto voltaje | Maneja Motores de alta potencia y alto voltaje |

⁵ "Economic Single-Phase to Three-Phase Converter Topologies for Fixed Variable Frequency Output". IEEE Transaction on Power Electronics. 1993.

1.3 MINIMIZACIÓN DE LA DISTORSIÓN ARMÓNICA EN LA RED GENERADA POR LA CONVERSIÓN MONOFÁSICO A TRIFÁSICO.

Como el rectificador es el circuito de entrada al convertidor monofásico a trifásico es aquí donde debe controlarse la distorsión armónica causada por éste a la red.

Las empresas servidoras de potencia eléctrica están manifestando una tendencia a la restricción de la contaminación armónica del sistema utilizado. Es por esta razón que se propone una topología para mejorar la forma de onda de la corriente de entrada al rectificador para obtener un funcionamiento a un factor de potencia cercano a la unidad y bajos niveles de distorsión en la corriente de línea ac, la topología propuesta se muestra en la Fig. 1.9.

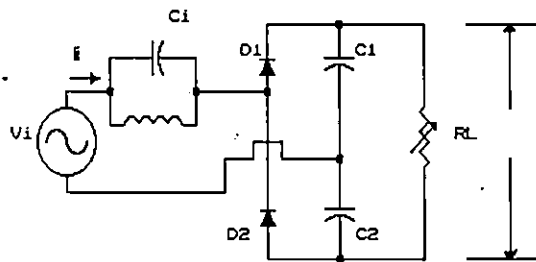


Fig. 1.9 Rectificador de medio puente doblador de voltaje con filtro resonante paralelo de entrada (L_i , C_i) para obtener un factor de potencia de entrada cercano a la unidad y conformar la forma de onda de la corriente de entrada I_i .

Las características de esta topología con filtro resonante paralelo son:

No distorsiona el voltaje de entrada y mantiene el factor de potencia de entrada alto.

Incrementa la eficiencia del rectificador debido a que el valor de la corriente de entrada $I_{i,rms}$ es bajo
Reduce el tamaño de los componentes reactivos.

1.3.1 Ecuaciones de Diseño.

Los valores están dados por unidad.

Filtro Inductor L_i :

Valor del inductor: $L_i = 0.31 \text{ Pu.}$ (1.4)

Valor del inductor: $L_i = 0.31$ Pu. (1.4)

Corriente rms en el inductor : $I_{L_{rms}} = 1.23$ pu. (1.5)

Corriente pico en el inductor : $I_{pL_i} = 1.735$ pu. (1.6)

Filtro capacitor, C_i :

Valor del capacitor : $C_i = 0.3584$ pu (1.7)

Corriente rms en el capacitor : $I_{C_{rms}} = 0.43$ pu. (1.8)

Corriente pico en el capacitor : $I_{pC_i} = 0.608$ pu. (1.9)

Voltaje pico en el capacitor : $V_{pC_i} = \sqrt{2}$ pu. (1.10)

Diodos Rectificadores (D_1, D_2) :

Corriente promedio : $I_{do} = 0.4573$ pu. (1.11)

Corriente rms : $I_{drms} = 0.7686$ pu. (1.12)

Corriente pico : $I_{dp} = 1.537$ pu (1.13)

Voltaje pico en reversa : $V_{pr} = 2\sqrt{2}$ pu (1.14)

Filtro Capacitor dc, C :

Valor de la capacitancia : $C = 4.65$ pu. (1.15)

Voltaje pico del capacitor : $V_{pc} = \sqrt{2}$ pu. (1.16)

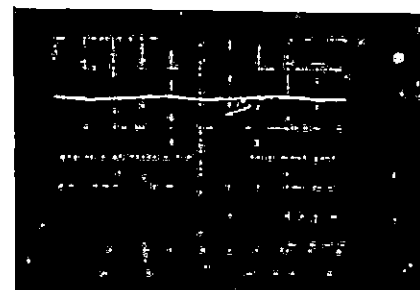
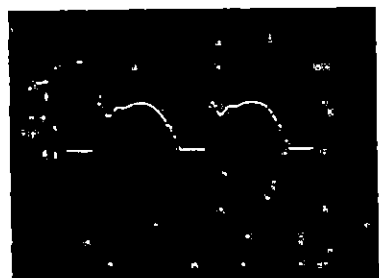
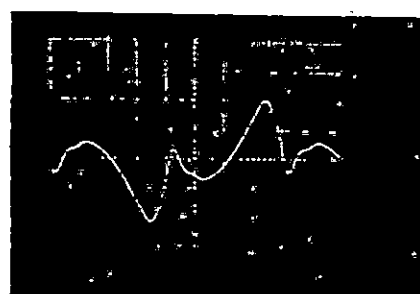
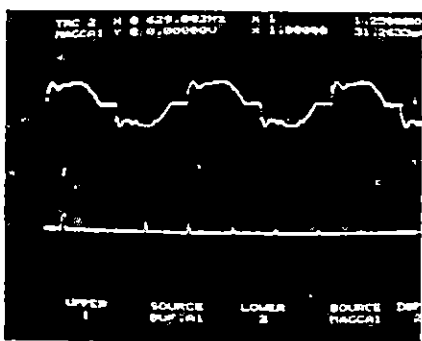
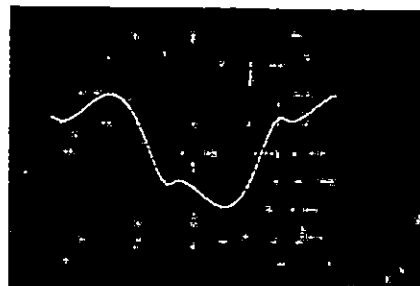
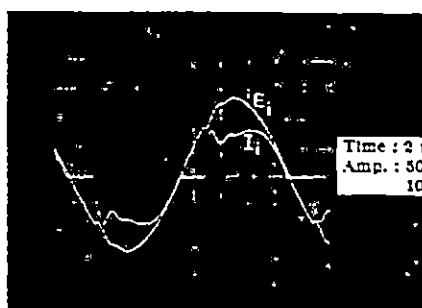
Voltios amperios del capacitor : $V_{Ac} = 1.024$ pu. (1.17)

Corriente de entrada : $I_{irms} = 1.087$ pu. (1.18)

Factor de Potencia de entrada : $f_{pi} = \frac{V_L \cdot I_L}{V_i(rms) I_i(rms)}$ (1.19)

El máximo factor de potencia teórico desarrollado en la entrada [fpi], con esta topología, Fig. 1.9. es de 0.957.

La Fig. 1.10 muestra las formas de onda de las variables mas importantes ($I_i, V_i, I_o, I_{Li}, V_{Ci},$ y V_L).



Time : 2 ms/div.
Amp. : 10 A/div.
(b)

Time : 2 ms/div.
Amp. : 50 V/div.
(e)

Fig. 1.10. Formas de onda experimentales de la topología del rectificador propuesto para mejorar el factor de potencia.: (a) Entrada de voltaje ac V_i , entrada de corriente I_i y su espectro; (b) salida de corriente I_o del rectificador; (c) Corriente I_{li} en el inductor resonante; (d) el voltaje en el capacitor resonante V_{ci} ; (e) voltaje de salida dc V_L .

CONCLUSIONES.

- La salida Trifásica balanceada a frecuencia fija, de alta calidad y los pocos dispositivos semiconductores empleados para la implementación de las topologías propuestas para la conversión monofásica a trifásica se debe en gran medida a la operación con PWM.
- La característica de entrada de corriente activa ofrece mejora en el factor de potencia de entrada y baja distorsión en la corriente manejada por la fase principal.
- La topología de rectificador propuesta es muy económica, y de fácil implementación, éste minimiza la distorsión armónica a la entrada y con un mejoramiento del factor de potencia cercano a la unidad ($fp = 0.957$ teórico).
- Las características de este rectificador más notable son:
 - alto factor de potencia de entrada.
 - baja corriente en los diodos rectificadores
 - baja corriente rms de entrada
 - bajo VA nominales de los componentes reactivos

REFERENCIAS BIBLIOGRAFICAS

- Enjeti, Prasad N.; Rahman, Ashek; and Jakkli.
"Economic Single-Phase to Three-Phase Converter Topologies for Fixed and Variable Frequency Output" IEEE Transactions on Power Electronics, Vol, 8. No. 3. July 1993. pp. 339-335.
- Yris, Juan Carlos; Calleja Hugo. "Calculated Performance of ac Motors in a Single Phase to Three-Phase Converter Application" IEEE International Power Electronics Congress Proceeding Technical Proceedings. Cuernavaca, México, October 14-17, 1996. pp 156-159.
- Enjeti, N. Prasad; and Rahman, Ashek; "A new Single-Phase to Three-Phase Converter with Active Input Current Shaping for Low Cost ac Motor Drives" IEEE transactions on Industry Applications, Vol. 29, No. 4, July/August 1993. pp. 806-813.
- Rashid, Muhammad H.; Khan, Shahidul I.; and Ziogas, Phoivos D. "A Novel Single- to Three-Phase Static Converter". IEEE Transactions on Industry Applications, Vol.25, No. 1, January/February 1989. pp. 143-152.
- Prasad, Alturi Rama; Ziogas, Phoivos D.; Manias, Stefanos "A Novel Passive Waveshaping Method For Single-Phase Diode Rectifiers". IEEE Transaction on Industrial Electronics, Vol. 37, No. 6. December 1990. Pp 521-530.
- Salmon, Jhon C.; "Techniques for Minimizing the Input Current Distortion of Current-Controlled Single-Phase Boost Rectifiers". IEEE Transactions on Power Electronics, Vol.8, No. 4. October 1993. pp. 509-520.
- Rashid, Muhammad H. Electronica de Potencia, Circuitos Dispositivos y Aplicaciones. Prentice Hall Hispanoamerica 1995.
- Maset, Enrique; Sanchis, Esteban; Sebastián, Javier; Ollero, Salvador; de la Cruz, Enrique. "Harmonic Reduction in Low-Cost Power Supplies. IEEE International Power Electronics Congress Proceeding - Technical Proceedings". Cuernavaca, México, October 14-17, 1996. pp 15-21.
- Medrano, Carlos. "Diseño y Construcción de un Convertidor Monofásico para la Operación de Motores Trifásicos". Universidad de El Salvador, 1995.

CAPÍTULO II. TÉCNICAS PROGRAMADAS PWM PARA ELIMINACIÓN SELECTIVA DE ARMONICOS.

Introducción.

En éste Capítulo se hace una análisis detallado de todas las técnicas programadas PWM. Las características de funcionamiento de un esquema rectificador inversor (Fig. 2.1(a)-(c)) para la conversión de potencia generalmente depende de la selección de la particular modulación de ancho de pulso (PWM) empleada. Actualmente los esquemas disponibles pueden ampliamente clasificarse como esquemas precalculados programados PWM. Las técnicas programadas PWM optimizan un objetivo particular de una función tal como: obtener un mínimo de pérdidas, reducir pulsaciones en el torque, eliminación selectiva de armónicos, y por lo tanto son las formas más efectivas de obtener resultados de alto rendimiento. Es interesante notar que los varios objetivos seleccionados de las funciones para generar una particular técnica programada PWM esencialmente constituye la minimización de efectos no deseados debidos a los armónicos presentes en la salida espectral del inversor. Sin embargo cada una de las técnicas PWM está asociada con la dificultosa tarea de cálculos específicos de switcheo PWM para optimizar un objetivo particular de una función. Esta dificultad es particularmente encontrada en rangos de frecuencia de salida bajos debido a la necesidad de un gran número de instantes de switcheo PWM.

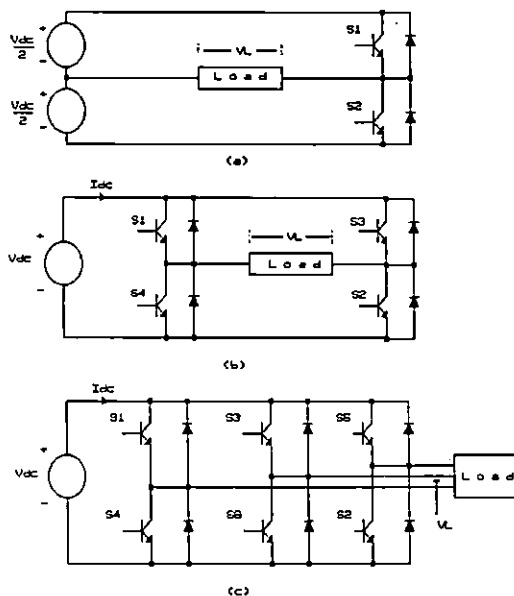


Fig. 2.1 Configuraciones de Inversor Fuente de Voltaje. (a) Inversor Medio Puente (b) Inversor Monofásico Puente Completo (c) Inversor Trifásico.

En la mayoría de los casos las soluciones de las técnicas PWM pueden obtenerse después de considerables esfuerzos computacionales. A pesar de esas dificultades las técnicas programadas PWM presentan varias ventajas, distintas en comparación a la técnica convencional portadora modulada PWM seno las cuales se listan a continuación.

- 1) Reducción alrededor del 50% en la frecuencia de switcheo del inversor, cuando se compara con el esquema convencional PWM de portadora modulada seno.
- 2) Es posible una ganancia muy alta de voltaje debido a la sobremodulación. Esto contribuye a una utilización superior del proceso de conversión de potencia.
- 3) Debido a la alta calidad de la salida de voltaje y corriente, el rizado en la corriente en el enlace dc es también pequeño. Por lo tanto se obtiene una reducción en el tamaño de los componentes de filtro en el enlace dc.
- 4) La reducción en la frecuencia de switcheo contribuye a la reducción en las pérdidas por switcheo del inversor.
- 5) La eliminación de armónicos de bajo orden no causa interferencia armónica como la resonancia con líneas externas interconectadas con filtros típicamente empleadas en fuentes de potencia para inversores.

Con las actuales mejoras en potencia computacional y procedimientos de cálculo las ecuaciones no lineales asociadas con la eliminación selectiva de armónicos pueden ser solucionadas para pequeños y grandes grados de libertad. También con la disponibilidad de componentes de gran capacidad de memoria baratos son ahora realizables las aplicaciones para el control de potencia sobre un amplio rango de frecuencia. En vista de esto, las técnicas programadas con la eliminación selectiva de varios armónicos de bajo orden de cualquier grado en la salida espectral de los inversores han surgido como importantes formas para el control de potencia. Varios modelos de switcheo PWM programados en la salida espectral de inversores monofásicos y trifásicos son posibles (Fig. 2.2). Esto se debe a la facilidad con que las ecuaciones no lineales para eliminación selectiva de armónicos pueden ser formuladas para formas de onda PWM de línea a neutro o de línea a línea. Además las ecuaciones no lineales exhiben varias soluciones múltiples. Cada una de las alternativas anteriores conduce a una ventaja específica en los inversores monofásicos y trifásicos. Las Figuras 2.4, 2.17, ilustran varias técnicas programadas PWM para la eliminación selectiva de armónicos en inversores monofásico e inversores trifásicos. Varios factores de calidad tales como factor de pérdidas por armónicos, y factores de distorsión armónica total (THD) se mejoran con técnica PWM. Basado en esos factores de calidad una técnica óptima para cada área de aplicación se identifica. Se mencionarán líneas guías para solucionar las ecuaciones no lineales asociadas con una de las técnicas programadas PWM para eliminación armónica (Fig. 2.2) para pequeños y grandes grados de libertad.

2.1 CARACTERIZACIÓN DE LAS TÉCNICAS PROGRAMADAS PARA LA ELIMINACIÓN DE ARMÓNICOS.

La Figura 2.2 muestra una clasificación general de las técnicas programadas PWM para la eliminación de armónicos. Dos alternativas básicas basadas en formas de onda PWM de línea a línea que consisten en tres niveles de switcheo (entre estados, positivo, cero y negativo, como se muestra en la Fig. 2.13(a)) y formas de ondas PWM de línea a neutro consistiendo de dos niveles de switcheo (entre estados, positivo y negativo como se muestra en la Fig. 2.9(a)). Estas dos alternativas básicas contienen varios esquemas posibles basados en configuraciones de inversores monofásicos y trifásicos.

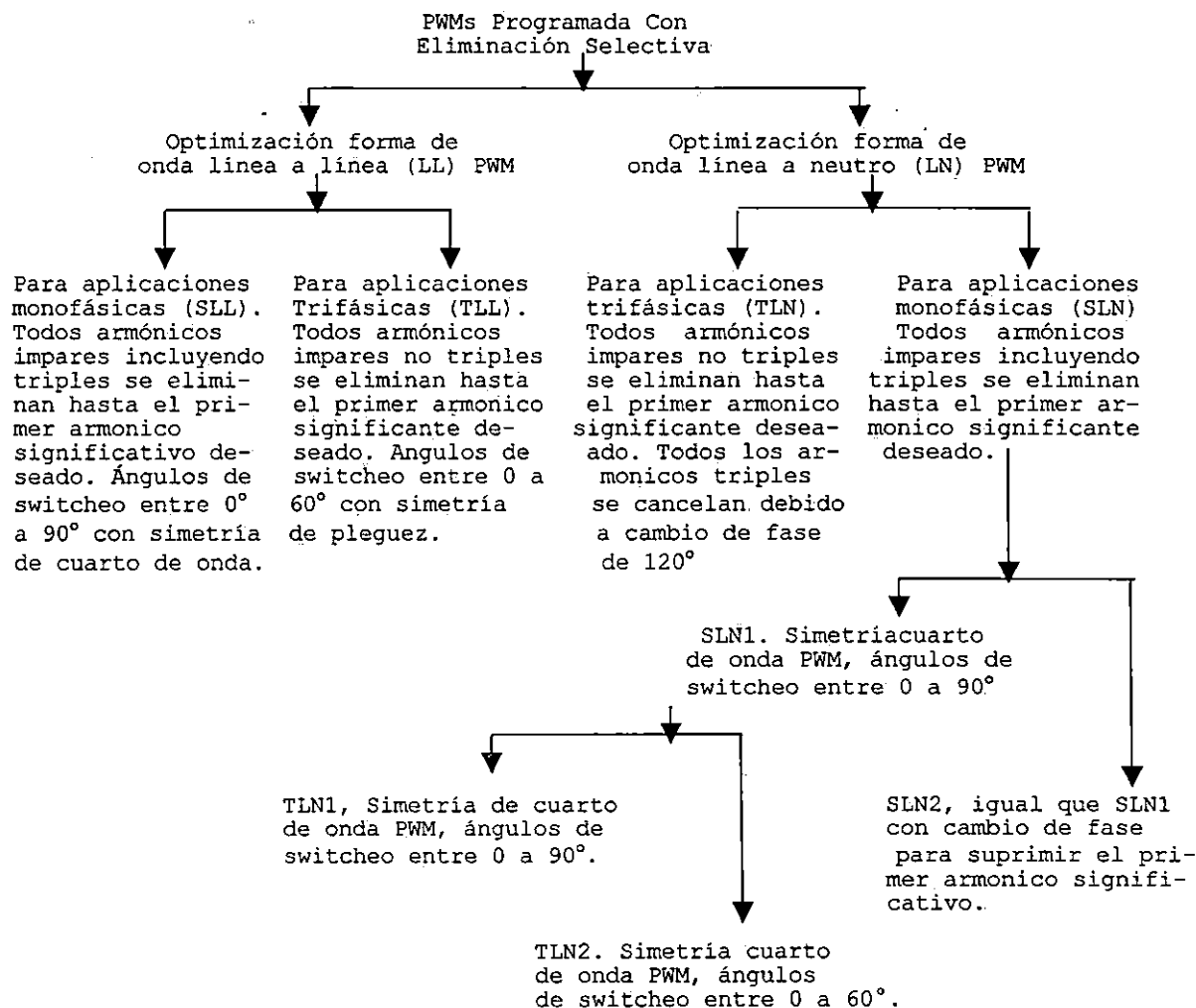


Fig. 2.2 Clasificación de técnicas programadas PWM's para eliminar armónicos.

2.1.1 Técnicas para la eliminación selectiva de armónicos en inversores trifásicos.

La Figura 2.1(c) muestra la configuración básica de un inversor trifásico. La Fig. 2.2. Ilustra la clasificación general de varias técnicas programadas PWM's para eliminación armónica. La Figura 2.3(b) muestra las técnicas programadas PWM para la eliminación de armónicos óptimo para inversores trifásicos. Las Figura 2.4, 2.6 y 2.8 ilustran las funciones de switcheo PWM para la eliminación de armónicos no triples en el voltaje de salida V_L . Todos los armónicos triples están ausentes en V_L debido a la rotación de 120° de una operación trifásica balanceada.

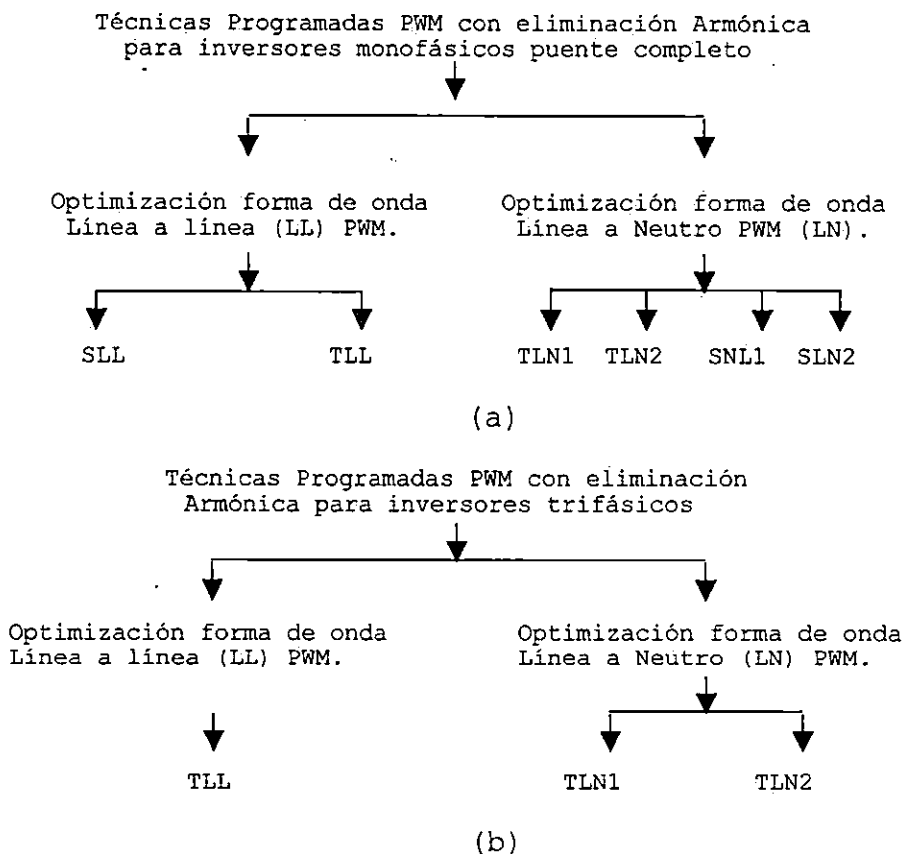


Fig. 2.3. Técnicas programadas PWM con eliminación de armónicos disponibles para (a) inversores monofásicos puente completo e (b) inversores trifásicos.

2.1.1.1 Técnica de Línea a Neutro 1: TLN1.

La Figura 2.4(a) muestra la función de switcheo TLN1 con simetría de cuarto de onda. Los coeficientes de Fourier de esta función de switcheo están dadas por:

$$a_n = \frac{4}{n\pi} [-1 - 2 \sum_{k=1}^N (-1)^k \cos(n\alpha_k)] \quad (2.1)$$

$$b_n = 0. \quad (2.2)$$

La ecuación (2.1), tiene N variables (α_1 a α_n) y se establece una solución por la igualación de los N-1 armónicos a cero y se le asigna un valor específico a la amplitud de la fundamental (a_1). Estas ecuaciones son no lineales como también trascendentales por naturaleza, y sus soluciones posibles son múltiples.

El establecimiento de las soluciones para los ángulos de switcheo deben de satisfacer el criterio de:

$$\alpha_1 < \alpha_2 < \alpha_3 < \dots < \alpha_N < \pi/2 \quad (2.3)$$

necesario para obtener cada incremento en el índice de modulación para proveer el control del voltaje con la eliminación selectiva de los N-1 armónicos no triples de bajo orden tales como 5, 7, 11, etc., para N impar pueden ser escritas como:

$$\begin{bmatrix} 2 \cos \alpha_1 & -2 \cos \alpha_2 & \dots & 2(-1)^{N+1} \cos \alpha_N \\ 2 \cos 5\alpha_1 & -2 \cos 5\alpha_2 & \dots & 2(-1)^{N+1} \cos 5\alpha_N \\ \vdots & \vdots & \vdots & \vdots \\ 2 \cos(x_1)\alpha_1 & -2 \cos(x_1)\alpha_2 & \dots & 2(-1)^{N+1} \cos(x_1)\alpha_N \end{bmatrix} = \begin{bmatrix} \frac{\pi a_1 + 1}{4} \\ 1 \\ \vdots \\ 1 \end{bmatrix} \quad (2.4)$$

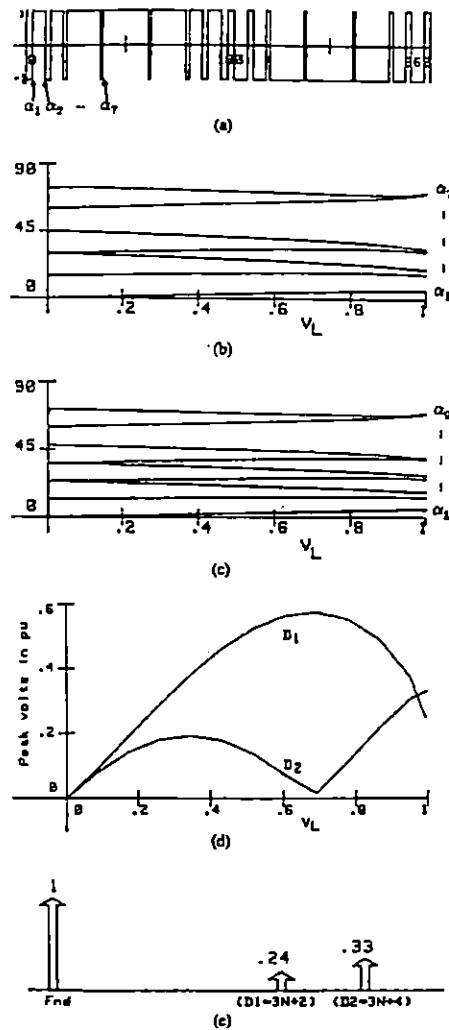


Fig. 2.4. TLN1 programada PWM. (a) Onda de forma Línea a neutro PWM. (b) Trayectorias de solución para $N=7$, (para eliminar armónicos 5,7,11,13,17,19, $D_1=23$). (c) Trayectorias de solución para $N=9$, para eliminar armónicos 5,7,11,13,17,19,23,25, $D_1=29$). (d) Variación general de el primer armónico significativo (D_1) y segundo armónico significativo (D_2) versus V_L . (e) Espectro de frecuencia generalizado V_L .

Donde:

$$x_1 = 3N-2$$

La Figura 2.4(b) y (c) ilustran las trayectorias para las ecuaciones (2.4). Los ángulos de switcheo se extiende hasta 90° en este esquema.

La Frecuencia de switcheo del inversor f_c definida como el número

de ciclos de interrupción de la corriente por segundo por switcheo puede ser expresada como:

$$f_c = (2N+1) f \quad (2.5)$$

Donde f es la frecuencia de operación del inversor.

La Fig. 2.5(a)-(e) ilustra la operación del inversor trifásico (Fig. 2.1(c)) en la técnica TLN1 para $N=11$. La Figura 2.5(a) muestra la señal de switcheo para el switch 1. La Fig. 2.5(b) y (e) ilustran el voltaje de línea a línea V_L y su espectro de frecuencia. Los componentes armónicos significativos de primer y segundo orden a la salida del inversor están dados por:

$$D_1 = 3N+2 \quad (2.6)$$

$$D_2 = 3N+4 \quad (2.7)$$

La Figura 2.4(d) muestra la variación general de D_1 y D_2 para cambios en V_L . La Figura 2.5(d) y (e) ilustran la corriente de entrada I_{dc} al inversor y su espectro de frecuencia en un factor de potencia $pf=1$. El primer y segundo armónico significativo en I_{dc} , son esencialmente múltiplos de seis, están dados por:

$$I_{D1} = 3N+3 \quad (2.8)$$

$$I_{D2} = 3N+9 \quad (2.9)$$

El máximo voltaje de salida V_L pico obtenible es 1 por unidad para 1 por unidad de voltaje dc en este esquema.

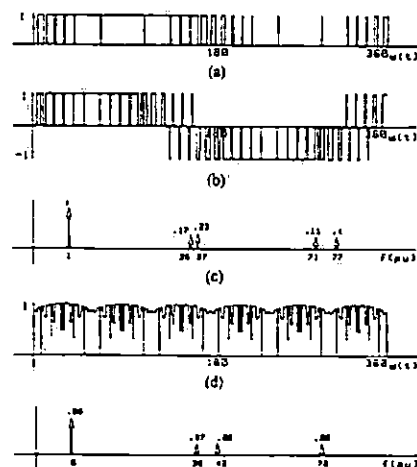


Fig. 2.5. Formas de onda de un inversor trifásico en TLN1 programada PWM. (a) Señal de control para el switch S_1 . (b) Voltaje de Línea a línea (V_L). (c) Espectro de frecuencia de (b). (d) Corriente de entrada dc I_{dc} ($fp=1$). (e) Espectro de frecuencia de (d).

2.1.1.2 Técnica de Línea a Neutro 2: TLN2

La Figura 2.6(a) muestra la función de switcheo TLN2 con simetría de un cuarto de onda. Los coeficientes de Fourier de las funciones de switcheo están dadas por:

$$a_n = \frac{4}{n\pi} \cdot [1 + 2 \sum_{k=1}^N (-1)^k \cos(n\alpha_k)] \quad (2.10)$$

$$b_n = 0. \quad (2.11)$$

Las ecuaciones no lineales para eliminación selectiva de los N-1 armónicos no triples de bajo orden tales como 5,7,11, etc. para N par puede escribirse como:

$$\begin{bmatrix} -2 \cos \alpha_1 & 2 \cos \alpha_2 & \dots & 2(-1)^N \cos \alpha_N \\ -2 \cos 5\alpha_1 & 2 \cos 5\alpha_2 & \dots & 2(-1)^N \cos 5\alpha_N \\ \vdots & \vdots & \vdots & \vdots \\ -2 \cos(x_2)\alpha_1 & 2 \cos(x_2)\alpha_2 & \dots & 2(-1)^N \cos(x_2)\alpha_N \end{bmatrix} = \begin{bmatrix} \frac{\pi a_1}{4} - 1 \\ -1 \\ \vdots \\ -1 \end{bmatrix}$$

donde:

$$x_2 = 3N-1. \quad (2.12)$$

La Figura 2.6(b) y (c) ilustran las trayectorias de solución para las ecuaciones no lineales en (12), satisfaciendo los límites dados en (3). Observe que todos los ángulos de switcheo desde α_1 hasta α_N están dentro de los límites de 0 a 60°. La frecuencia de switcheo del inversor f_c está dado por (5). La Figura 2.7(a)-(e) ilustra la operación del inversor trifásico (Fig. 2.1(c)) con técnica TLN₂ para N=10. La Figura 2.7(a) muestra la señal de control para el switch 1. La Figura 2.7(b) y (c) muestran el voltaje de línea a línea y su espectro de frecuencia.

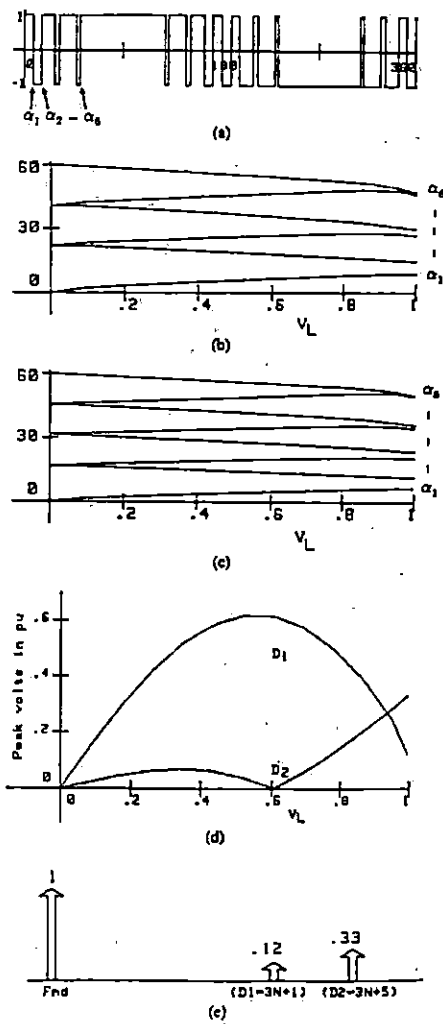


Fig. 2.6 TLN2 programada PWM. (a) Forma de onda línea a neutro PWM. (b) Trayectorias de solución para $N=6$, (para eliminar armónicos 5,7,11,13,17, $D_1=19$). (c) Trayectorias de solución para $N=8$, (para eliminar armónicos 5,7,11,13,17,19,23, $D_1=25$). (d) Variación general de el primer armónico significativo (D_1) y segundo armónico significativo (D_2) versus V_L . (e) Espectro de frecuencia generalizado V_L .

Los componentes armónicos significativos de primero y segundo orden a la salida del inversor están dados por

$$D_1 = 3N+1 \quad (2.13)$$

$$D_2 = 3N+3 \quad (2.14)$$

La Figura 2.6(d) muestra la variación general de D_1 y D_2 para cambios en V_L . La Figura 2.7(d) y (e) ilustra la corriente de entrada al inversor I_{dc} y su espectro de frecuencia a un factor de potencia igual a uno ($pf=1$). El primero y segundo armónico significativo en I_{dc} , los cuales son esencialmente múltiplos de

seis, están dados por:

$$I_{D1} = 3N \quad (2.15)$$

$$I_{D2} = 3N+6 \quad (2.16)$$

El máximo voltaje de salida V_L (pico) obtenible es uno por unidad para uno por unidad de voltaje dc en este esquema.

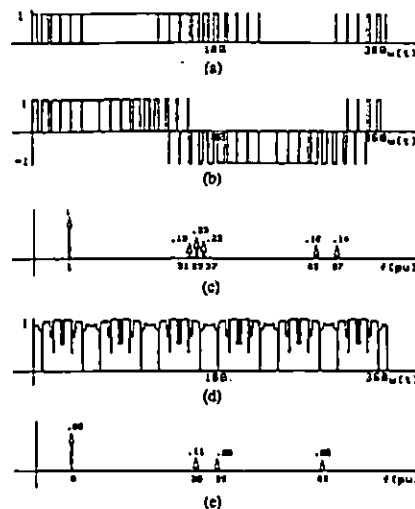


Fig. 2.7 Formas de onda inversor trifásico en TLN2 programado PWM. (a) Señal de control de el switch S_1 (b) Voltaje de Línea a línea (V_L). (c) Espectro de frecuencia de (b). (d) Entrada de corriente I_{dc} (pf=1). (e) Espectro de frecuencia de (d).

2.1.1.3 Técnica de Línea a Línea : TLL

La Figura 2.8(a) muestra la simetría de un cuarto de onda de la función de switcheo TLL empleando estados de switcheo positivos, cero, y negativo. Esta forma de onda constituye directamente el voltaje línea a línea V_L en la salida del inversor. Como se muestra en la Figura 2.8(a) solamente el primer intervalo de 60° (por medio ciclo) de la función de switcheo se determina por solución de ecuaciones no lineales. El último intervalo de 60° (por medio ciclo) es igual al primer intervalo de 60° . El intervalo de 60° a 120° se obtiene por el dobles del primero y

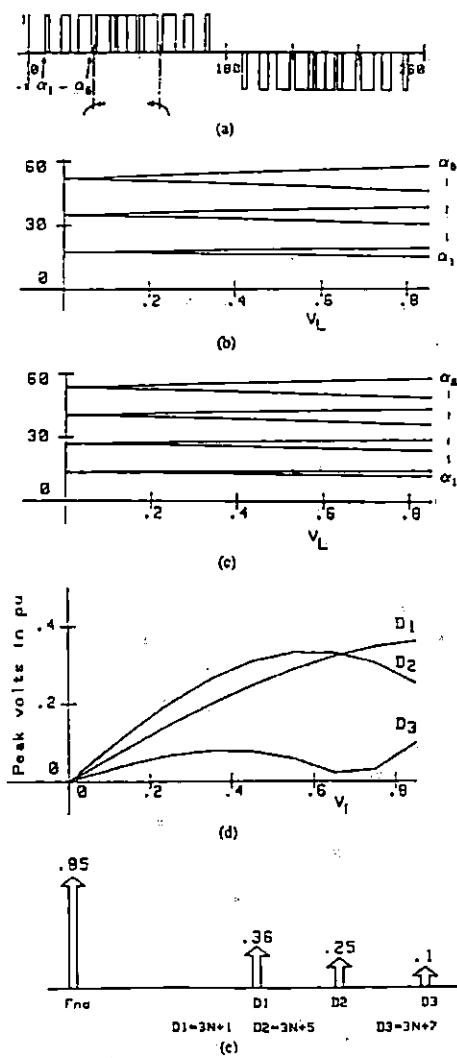


Fig. 2.8. TLL programada PWM. (a) Forma de onda Línea a línea PWM. (b) Trayectorias de solución para $N=6$, (para eliminar armónicos 5,7,13,17, $D_1=19$): (c) Trayectorias de solución para $N=8$, (para eliminar armónicos 5,7,11,13,17,19,23, $D_1=25$). (d) Variación general de los primeros tres armónicos significativos de V_L . (e) Espectro de frecuencia generalizado de V_L .

último intervalo de 60° alrededor de los puntos a 60° y 120° respectivamente (como se indica por las flechas en la Figura 2.8(a)). El doblez del primero y último intervalo de 60° alrededor de los puntos de 60° y 120° garantiza la no existencia de todos los armónicos triples en la función de switcheo, condición necesaria para cualquier voltaje de línea a línea trifásico.

La Técnica TLL es una forma de onda PWM con simetría de un cuarto de onda. Los coeficientes de Fourier para cada N pueden escribirse como:

$$\bar{a}_n = \frac{4}{n\pi} \left[\sum_{k=1}^N (-1)^{k+1} \cos(n\alpha_k) \right] \quad (2.17)$$

$$b_n = 0. \quad (2.18)$$

Donde α_{N+1} a α_{2N} se obtienen por simetría de pleguez. Para N=6 como se muestra en la Figura 2.8(a), α_7 a α_{12} pueden derivarse por simetría de pleguez como:

$$\begin{aligned} \alpha_7 &= 120 - \alpha_6 & , & & \alpha_8 &= 120 - \alpha_5 \\ \alpha_9 &= 60 + \alpha_1 & , & & \alpha_{10} &= 60 + \alpha_2 \\ \alpha_{11} &= 120 - \alpha_4 & , & & \alpha_{12} &= 120 - \alpha_3. \end{aligned}$$

De (2.17) las ecuaciones no lineales para la eliminación selectiva de los N-1 armónicos no triples tales como 5,7,11, etc., para cada N están dadas por:

$$\begin{bmatrix} \cos \alpha_1 & -\cos \alpha_2 & -\cos \alpha_{2N} \\ \cos 5\alpha_1 & -2 \cos 5\alpha_2 & -\cos 5\alpha_{2N} \\ \vdots & \vdots & \vdots \\ \cos(x_2)\alpha_1 & -\cos(x_2)\alpha_2 & -\cos(x_2)\alpha_{2N} \end{bmatrix} = \begin{bmatrix} a_1/4 \\ 0 \\ \vdots \\ \vdots \\ \vdots \end{bmatrix} \quad (2.19)$$

Donde:

$$x_2 = 3N-1$$

Las Figuras 2.8(b) y (c) ilustran las trayectorias de la solución para las ecuaciones no lineales (2.19) que deben satisfacer el criterio de:

$$\alpha_1 < \alpha_2 < \alpha_3 < \dots < \alpha_N < \pi/3$$

y la simetría de pleguez. Los primeros tres armónicos significantes en el voltaje de salida V_L están dados por:

$$D_1 = 3N+1 \quad (2.20)$$

$$D_2 = 3N+5 \quad (2.21)$$

$$D_3 = 3N+7 \quad (2.22)$$

La Figura 2.8(d) muestra la variación general de D_1 , D_2 , y D_3 para cambios en V_L . El primero y segundo armónico significativo en I_{dc} , los cuales son esencialmente múltiplos de seis están dados por:

$$I_{D1} = 3N \quad (2.23)$$

$$I_{D2} = 3N+6 \quad (2.24)$$

El máximo voltaje de salida obtenible V_L (pico) es 0.85 por unidad para un voltaje de bus dc de uno por unidad en este esquema.

2.1.2 Técnicas para la eliminación selectiva de armónicos en inversores monofásicos.

La Figura 2.1(a) y (b) muestra las configuraciones básicas de los inversores monofásicos de medio puente y puente completo. Las Figuras 2.13 y 2.9 en la Figura 2.3(a) muestran el esquema PWM deseado para la configuración de inversor monofásico de puente completo. Las Figuras 2.13 y 2.9 ilustran la función de switcheo PWM para la eliminación de armónicos (incluyendo los triples) en el voltaje de salida. Estas funciones de switcheo proporcionan una ventaja específica en algunas aplicaciones que garantizan el uso de tres inversores monofásicos de puente completo para alimentar cargas trifásicas.

2.1.2.1 Técnica de Línea a Neutro 1 : SLN1

La Figura 2.9(a) muestra la simetría de cuarto de onda de la función de switcheo SLN1. Los coeficientes de Fourier de esa función de switcheo vienen dada por las ecuaciones (2.1) y (2.2) respectivamente. Las ecuaciones no lineales para la eliminación selectiva de los $N-1$ armónicos de bajo orden (incluyendo los triples), tales como 3, 5, 7, 9, etc., pueden ser escritas como:

$$\begin{bmatrix} 2 \cos \alpha_1 & -2 \cos \alpha_2 & 2(-1)^{N+1} \cos \alpha_N \\ 2 \cos 3\alpha_1 & -2 \cos 3\alpha_2 & 2(-1)^{N+1} \cos 3\alpha_N \\ \vdots & \vdots & \vdots \\ 2 \cos (x_3) \alpha_1 & -2 \cos (x_3) \alpha_2 & 2(-1)^{N+1} \cos (x_3) \alpha_N \end{bmatrix} = \begin{bmatrix} \frac{\pi_{a1+1}}{4} \\ 1 \\ \vdots \\ 1 \end{bmatrix} \quad (2.25)$$

Donde:

$$x_3 = 2N-1$$

La Figura 2.9(b) y (c) ilustran las trayectorias de solución para las ecuaciones no lineales en (2.25), satisfaciendo el criterio dado en la ecuación (2.3). La expresión para la frecuencia de switcheo f_c de inversor es la misma dada en la ecuación (2.5). Las Figuras 2.10(a) a la (f) ilustran la operación de un inversor monofásico de puente completo con la técnica SLN1 para $N=11$. Las Figuras 2.10(a) y (b) muestran las señales de control para los switches s_1 y s_3 . Las Figura 2.10(c) y (d) ilustran el voltaje de línea a línea V_L y su espectro de frecuencia. El componente armónico de primero y segundo orden significativo a la salida del inversor es dado por:

$$D_1 = 2N+1 \quad (2.26)$$

$$D_2 = 2N+3 \quad (2.27)$$

La Figura 2.9(d) muestra la variación general de D_1 y D_2 para cambios en V_L . La Figura 2.10(e) y (f) ilustran la corriente I_{dc} de entrada al inversor y su espectro de frecuencia en $pf=1$. La componente armónica de segundo orden aparece en I_{dc} debido a la operación monofásica.

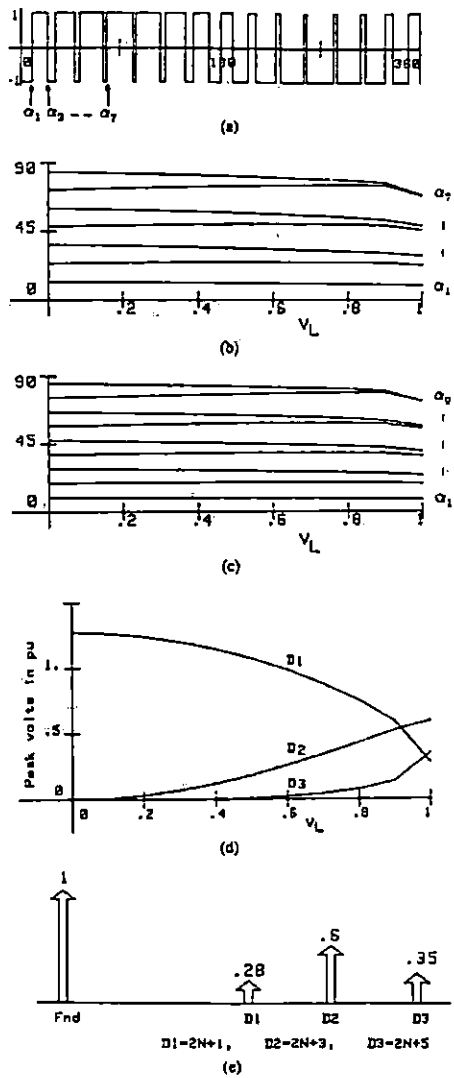


Fig. 2.9. SLN1 programada PWM. (a) Forma de onda línea a neutro. (b) Trayectorias de solución para $N=7$, (para eliminar armónicos 3,5,7,9,11,13,15,17, $D_1=15$). (c) Trayectorias de solución para $N=9$, (para eliminar 3,5,7,9,11,13,15,17, $D_1=19$). (d) Variación general de los tres primeros armónicos significativos versus V_L . (e) Espectro de frecuencia generalizado de V_L .

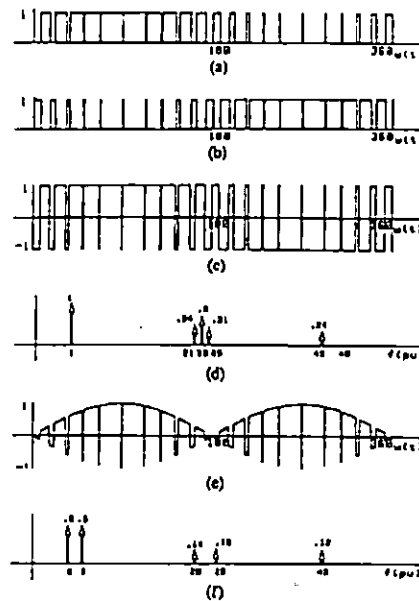


Fig. 2.10. Formas de onda de un inversor monofásico puente completo en SLN1 programado PWM. (a) Señal de control (SW1) para el switch S_1 . (b) Señal de control (SW3) para el switch S_3 . (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Entrada de corriente dc I_{dc} ($pf=1$). (f) Espectro de frecuencia de (e).

El máximo voltaje de salida obtenible V_L (pico) es uno por unidad para un bus de voltaje dc de uno por unidad en este esquema. Las formas de onda de entrada en las Figuras 2.10(a) y (d), también son válidas para la configuración de inversor monofásico de medio puente.

2.1.2.2 Técnica de Línea a Neutro 2 : SLN2

La función de switcheo para la técnica SLN2 es la misma que la técnica SLN1. La diferencia importante está en el control de los switches s_1 a s_4 del inversor de puente completo. En la técnica SLN2 el switch S_1 en la Figura 2.1(b) recibe la señal de control (SW1) como se muestra en la Fig. 2.11(a) la cual es la misma en el esquema SLN1. Estableciendo que V_{11} y VD_1 sean la fundamental y el primer armónico D_1 en la señal de control SW1. El orden de el primer componente armónico significativo D_1 esta dado por (2.26) . Ahora estableciendo la señal de control para S_3 , es SW3, la cual está desfasada por grados, y viene dada por la ecuación:

$$\beta = 180 - \frac{180}{2N+1} \quad (2.28)$$

El desplazamiento de fase rota la componente fundamental en la señal de control SW3 la cual es V_{13} por δ grados (Figura 2.12(b)). Sin embargo el primer armónico significativo VD_{13} presente en la señal de control SW3 es rotado por $(2N+1)$ grados. Esta rotación alinea a VD_{11} y a VD_{13} como se muestra en la Figura 2.12(b).

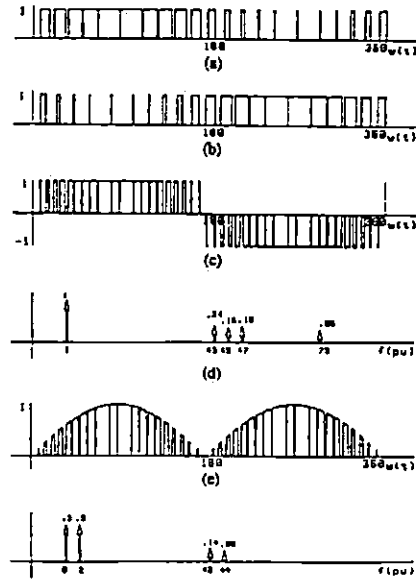


Fig. 2.11 Formas de onda de un inversor monofásico puente completo en SLN2 programada PWM. (a) Señal de control (SW1) para el switch S_1 . (b) Señal de control (SW3) para el switch S_3 . (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Entrada de corriente dc I_{dc} ($f_p=1$). (f) Espectro de frecuencia de (e).

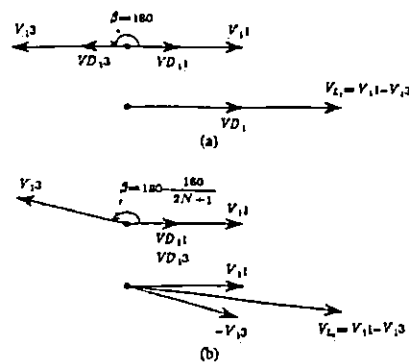


Fig. 2.12 Diagrama fasor de un inversor monofásico puente completo. (a) Técnica SLN1. (b) Técnica SLN2.

El Voltaje de salida del inversor V_L es deducido de la sustracción de la señal de control SW3 y SW1, y su componente fundamental V_{L1} esta dado por:

$$V_{L1} = V_{11} - V_{13} \quad (2.29)$$

Por lo tanto el voltaje de salida V_L no contiene el primer armónico significativo de orden $(2N+1)$. También el espectro de frecuencia total de V_L mostrada en la Figura 2.11(d), los componentes armónicos significantes alrededor de D_1 también son severamente atenuados y los nuevos D_1 y D_2 para la técnica SLN2 están dados por:

$$D_1 = 4N+3 \quad (2.30)$$

$$D_2 = 4N+5 \quad (2.31)$$

La Figura 2.11(e) y (f) ilustran la corriente I_{dc} de entrada del inversor y su espectro de frecuencia en $pf=1$. El segundo componente armónico aparece en I_{dc} debido a la operación monofásico. El máximo voltaje V_L (pico) de salida obtenible es uno por unidad para un bus de voltaje dc de uno por unidad en este esquema. La magnitud de la componente fundamental no es significativa afectada debido al pequeño desfase como se observa en la Fig. 2.12(b).

2.1.2.3 Técnica de Línea a Línea: SLL

La Figura 2.13(a) muestra la función de switcheo SLL con simetría de cuarto de onda. Los coeficientes de Fourier de esta función de switcheo están dado por:

$$a_n = \frac{4}{n\pi} \left[\sum_{k=1}^N (-1)^{k+1} \cos(n\alpha_k) \right] \quad (2.32)$$

$$b_n = 0. \quad (2.33)$$

Las ecuaciones no lineales para la eliminación selectiva de los $N-1$ armónicos de bajo orden tales como 3,5,7,9, etc., pueden escribirse como:

$$\begin{bmatrix} \cos \alpha_1 & -\cos \alpha_2 & (-1)^{N+1} \cos \alpha_N \\ \cos 3\alpha_1 & -\cos 3\alpha_2 & (-1)^{N+1} \cos 3\alpha_N \\ \vdots & \vdots & \vdots \\ \cos (x_3)\alpha_1 & -\cos (x_3)\alpha_2 & (-1)^{N+1} \cos (x_3)\alpha_N \end{bmatrix} = \begin{bmatrix} \frac{\pi a_1}{4} \\ 0 \\ \vdots \\ \vdots \\ \vdots \end{bmatrix}$$

Donde:

$$x_3 = 2N-1. \quad (2.34)$$

La Figura 2.13(b) y (c) ilustra las trayectorias de solución para las ecuaciones no lineales (2.34), satisfaciendo el criterio dado en (2.3).

La frecuencia de switcheo f_c del inversor puede ser expresado como:

$$f_c = (N+1) f. \quad (2.35)$$

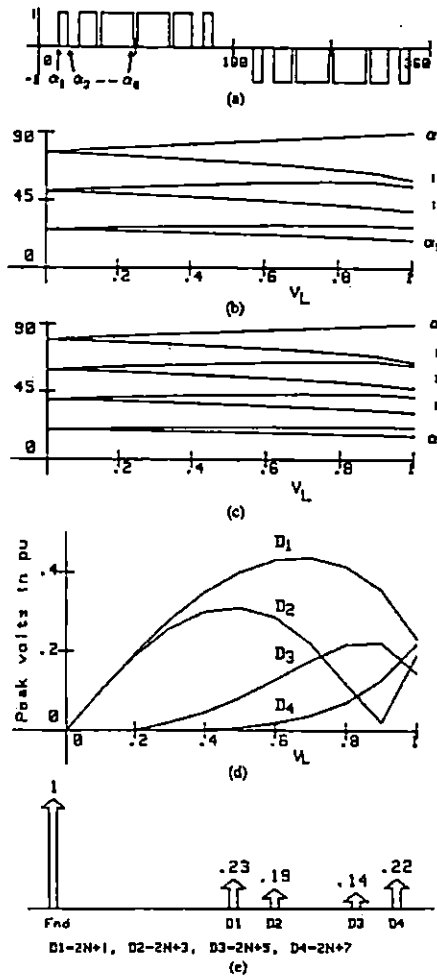


Fig. 2.13. PWM programado SLL. (a) Forma de onda PWM de Línea a Línea. (b) Trayectorias de solución para $N=6$, (para eliminar armónicos 3, 5, 7, 9, 11, $D_1=13$). (c) Trayectorias de solución para $N=8$, (para eliminar armónicos 3, 5, 7, 9, 11, $D_1=17$). Variación general del primero y cuarto armónico significativo versus V_L . (e) Espectro de frecuencia generalizado de V_L .
 La Figura 2.14(a)-(f) ilustra la operación del inversor monofásico

(Fig. 2.1(b)) con la técnica SLL para $N=20$. La Figura. 2.14(a) y (b) muestran las señales de control de los switches s_1 y s_3 . La Fig. 2.14(c) ilustran el voltaje de línea a línea V_L y su espectro de frecuencia. El orden del primer y segundo componente armónico significativo a la salida del inversor esta dado por:

$$D_1 = 2N+1 \quad (2.36)$$

$$D_2 = 2N+3 \quad (2.37)$$

La Figura 2.13(d) muestra la variación general de D_1 y D_2 para cambios en V_L . La Figura 2.14(e) y (f) ilustran la corriente de entrada I_{dc} al inversor y su espectro de frecuencia a un $pf=1$.

El segundo componente armónico aparece en I_{dc} debido a la operación monofásica. El máximo voltaje $V_L(\text{pico})$ de salida obtenible es uno por unidad para un bus de voltaje dc de uno por unidad en este esquema.

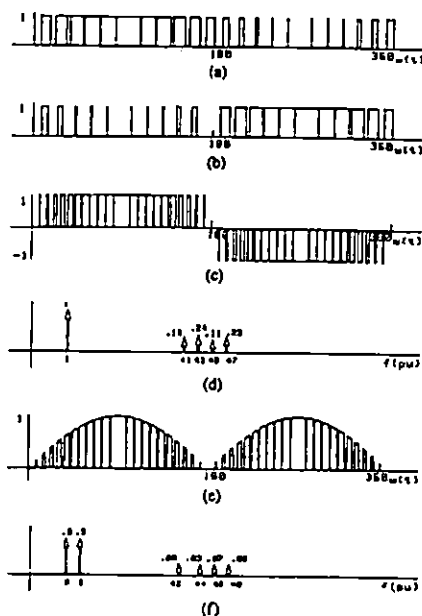


Fig. 2.14. Formas de onda de un inversor puente completo en SLL programado PWM. (a) Señal de control (SW1) para el switch S_1 . (b) Señal de control (SW3) para el switch S_3 . (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Corriente de entrada dc I_{dc} ($fp=1$). (f) Espectro de frecuencia de (e).

2.1.2.4 Técnicas TLN1, TLN2, y TLL para Inversores Monofásicos

Las Figs. 2.15-2.17 ilustran la aplicación de estas técnicas para inversores monofásicos de puente completo.

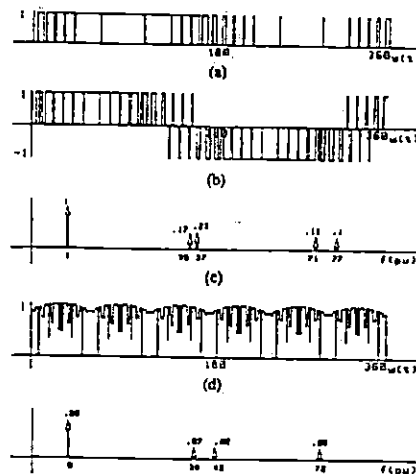
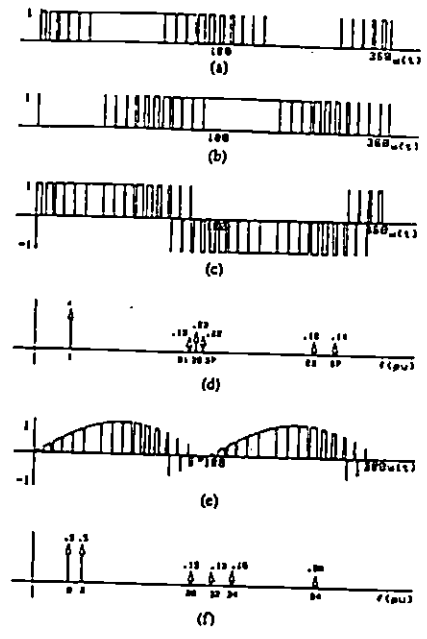


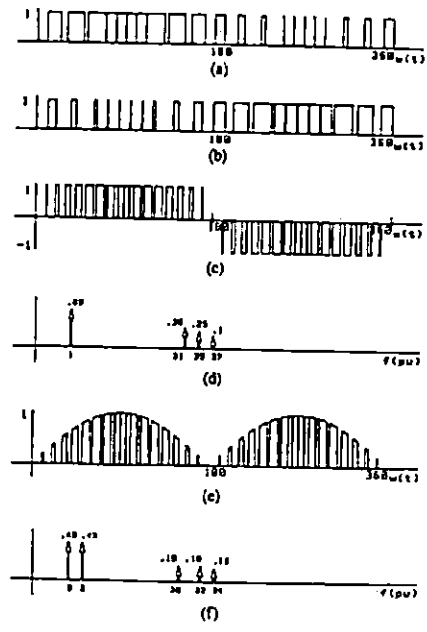
Fig. 2.15 Formas de onda de inversores monofásico puente completo en TLN1 programado PWM. (a) Señal de control para el switch S_1 . (b) Señal de control para el switch S_3 (cambio de fase 120°). (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Corriente de entrada dc I_{dc} ($f_p=1$). (f) Espectro de frecuencia de (e).

Las Figs. 2.15-2.17(a) y (b) muestran las señales de control para los switches s_1 y s_3 respectivamente. La señal de control SW3 esta desfasada 120° en las técnicas TLN1 y TLN2. Los 120° de desfase cancelan todos los armónicos triples en V_L (Figuras 2-15 y 2.16.(d)). En la técnica TLL no existen armónicos triples debido a la simetría de pleguez. La no existencia de armónicos triples en V_L es necesaria para la operación de acoplar un transformador a tres inversores monofásicos como se muestra en la Figura 2.18 En tales aplicaciones la existencia de armónicos triples no puede ser tolerada ya que ella produce corrientes de secuencia cero que saturan el transformador de

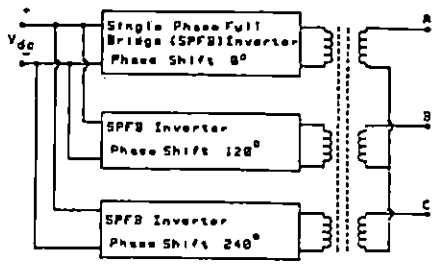


2.16 Formas de onda de un inversor puente completo en técnica TLN2 PWM. (A) Señal de control para el switch S_1 . (B) Señal de control para el switch S_3 . (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Corriente de entrada I_{dc} ($f_p=1$). (f) Espectro de frecuencia de (e).

salida del inversor. Esto se debe al hecho de que la impedancia de secuencia cero de un transformador trifásico es cero para los voltajes armónicos triples co-fasal. Debido a estas razones las técnicas TLN1, TLN2 y TLL son recomendados para el acople de tres inversores monofásicos a un transformador trifásico para alimentar cargas trifásicas.



2.17 Formas de onda de un inversor puente completo en TLL programado PWM. (a) Señal de control (SW1) para el switch S_1 . (b) Señal de control (SW3) para el switch S_3 . (c) Voltaje de línea a línea (V_L). (d) Espectro de frecuencia de (c). (e) Entrada de corriente dc I_{dc} ($fp=1$). (f) Espectro de frecuencia de (e).



2.18 Acople de transformador y tres inversores monofásicos para suplir carga trifásica.

2.2 MÉTODOS DE SOLUCIÓN PARA ECUACIONES NO LINEALES.

Las ecuaciones no lineales (4), (12), (19), (25) y (34) encontradas para las técnicas programadas PWM para eliminación de armónicos pueden ser solucionadas para pequeños y grandes grados de libertad por el empleo de técnicas numéricas adecuadas. Las Figuras 2.4(b) y (c), 2.6(b) y (c), 2.8(b) y (c), 2.9(b) y (c) y la Fig. 2.13(b) y (c) ilustran las trayectorias de solución de las ecuaciones no lineales por la variación de a_1 o el voltaje de salida V_L . Las trayectorias son continuas y siguen un comportamiento cercano a una línea recta para variaciones en V_L . Un método⁶, presenta la solución de ecuaciones lineales por la identificación de ciertas simetrías, y definición de un juego de líneas rectas las que se aproximan a la solución exacta. Una solución de bajo costo para solucionar ecuaciones no lineales es a través de métodos numéricos disponibles en la *Librería Matemática Internacional y Estadística* (IMSL) para IBM PC. La subrutina ZSPOW para resolver ecuaciones no lineales es de mucha utilidad en este contexto. Algoritmos para proveer valores iniciales cercanos a la solución exacta, garantiza convergencia en una solución numérica.

2.2.1 Requisitos de Almacenamiento de una PWM programada.

Como es necesario trasladar los instantes de switcheo precalculados (α_1 a α_N) a señales de control para los respectivos switches del inversor S_1 a S_6 (para un inversor trifásico). Para un ciclo de control (Fig. 2.5(a) por ejemplo) de 0 a 360° se divide dentro de 2K bits obteniéndose una resolución de 0.176° . Además un espacio de memoria, de 2K X8 bit se requiere para almacenar las señales de control S_1 a S_6 , para un valor particular del voltaje de salida V_L . Los bits de datos D_0 a D_5 de los 8 bits de datos representan las señales de control S_1 a S_6 (Fig. 2.5(a)) respectivamente. Los dos bits restantes D_6 , D_7 se dejan libres. Los retrasos superpuestos requeridos en las señales de control (S_1 a S_6) se incorporan mientras se programa la memoria. Como un ejemplo de una memoria standard de 64K X8 bits de memoria puede acomodar 32 diferentes juegos de señales de control (S_1 a S_6), cada una resultando en un valor específico de voltaje de salida V_L . Este método de implementación provee una traslación directa de la técnica precalculada PWM a señales de control para los respectivos switches del inversor como se ilustra en la Fig. 2.19.

"Solving nonlinear equations of harmonic elimination PWM in power control", IEEE Electronics Letters, vol. 23, no. 12, June 4, 1987, pp. 656-657

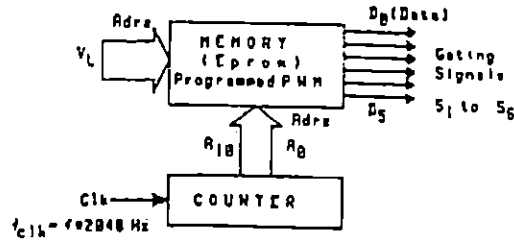


Fig. 2.19 Diagrama lógico para la generación de señales de control.

2.3 SELECCIÓN DE LA TÉCNICA PWM ÓPTIMA PARA CADA APLICACIÓN.

Puede concluirse que la técnica PWM óptima general para inversores monofásicos es la SLL. La correspondiente técnica PWM óptima para inversores trifásicos es la TLN1. La técnica TLL para inversores trifásicos proporciona un mejor rendimiento para los factores de calidad definidos, sin embargo la principal desventaja de esta técnica es su máximo voltaje V_L de salida obtenible es de 0.85 pu. Esta técnica es adecuada para aplicaciones que requieren bajo voltaje de salida tales como la operación de motores ac de baja velocidad. La técnica PWM SLN1 es la única técnica adecuada para inversores monofásicos de medio puente. La Tabla 2.1 lista las técnicas PWM óptimas generales para las configuraciones de inversores monofásicos y trifásicos.

Tabla 2.1 TÉCNICA PWM ÓPTIMA PARA CADA CONFIGURACIÓN DE INVERSOR⁷.

| Configuración inversor | Técnica PWM Óptima | Comentarios |
|---|--------------------|---|
| (a) Inversor Monofásico Medio Puente | SLN1 | Estas técnicas dan 100% de utilización de el bus de voltaje dc, $V_L = 1$ pu (pico) |
| (b) Inversor Monofásico Puente Completo | SLL | para 1 pu de bus de voltaje dc. También garantizan la eliminación de armónicos |
| (c) Inversor trifásico | TLN1 | hasta el primer armónico significativo |

⁷ "Programaded PWM Technique to Eliminate Harmonics: A Critical Evaluation". IEEE TRANSACTION ON INDUSTRY APPICATION, VOL.26. NO.2 MARCH/APRIL 1990.

También obsérvese que en el peor de los casos IC_1 y DF_0 ocurren en $V_L = 0.7$ pu para TLN1. Éstos factores necesitan ser considerados durante la determinación de los componentes nominales del filtro de enlace dc.

En inversores PWM que alimentan motores ac de velocidad variable las técnicas SLL y TLN1 resultan en muy bajas pérdidas por armónicos y por lo tanto contribuyen a muy bajo calentamiento por armónicos y consecuentemente muy bajas pérdidas en los motores ac. Los factores de calidad definidos anteriormente representan los niveles de distorsión armónica experimentados en aplicaciones prácticas. Basadas en el análisis de los datos calculados, la Tabla 2.2 ilustra la técnica PWM programada para cada aplicación

Tabla 2.2 PWM PROGRAMADA RECOMENDADA PARA CADA APLICACIÓN⁸.

| Aplicación | PWM Recomendada Programada | Comentarios |
|--|----------------------------|---|
| (1) maneja motor-trifásico ac | TLN1 | tiene sobre todo una alta característica de ejecución |
| (a) variación de velocidad amplia (10:1) | | |
| (b) variación de velocidad limitada (2:1) | TLN2, TLN1 | |
| (c) velocidad de operación baja | TLL | |
| (2) fuente de potencia ininterrumpible (UPS) trifásica de frecuencia fija. | TLN1 | alta ejecución |
| (3) maneja motor ac monofásico | SLL, SLN2 | óptima Ejecución |
| (4) fuente de potencia ininterrumpible monofásico de frecuencia fija | SLL, SLN2 | |
| (5) acople de transformador y tres inversores monofásico para alimentar carga trifásica. (Fig. 2.18) | TLN1 | no armónicos triples. |

⁸ "Programaded PWM Technique to Eliminate Harmonics: A Critical Evaluation". IEEE TRANSACTIONS ON INDUSTRY APPLICATION, VOL.26. NO.2 MARCH/APRIL 1990.

CONCLUSIONES.

.Las características de funcionamiento de un convertidor monofásico a trifásico generalmente depende de la particular selección de la técnica programada PWM.

.La utilización de las técnicas programada PWM minimizan los efectos no deseados debido a armónicos significativos presentes en la salida espectral del convertidor.

.Debido a la alta calidad de la salida de voltaje y corriente, el rizado en el enlace dc es pequeño por lo tanto una reducción significativa en el tamaño de los filtros componentes es obtenida.

. Con las técnicas programadas PWM, se obtiene una reducción del 50% en la frecuencia de switcheo cuando son comparadas con el esquema convencional PWM de portadora modulada seno, obteniéndose una reducción significativa en las pérdidas por switcheo.

.Las técnicas programadas PWM garantizan la eliminación selectiva de armónicos, en la salida espectral del convertidor.

REFERENCIAS BIBLIOGRAFICAS

-Enjeti, Prasad N.; Ziogas, D. Phoivos and Lindsay, James F. "Programmed PWM Techniques to Eliminate Harmonics: A Critical Evaluation". IEEE Transactions on Industry Applications, Vol. 26, No. 2. (March/April 1990): pp. 302-316

-Enjeti, Prasad N. and Rahman, Ashek "A New Single-Phase to three-Phase Converter with Active Input Current Shaping for Low Cost ac Motor Drives". IEEE Transactions on Industry Applications, Vol. 29, No. 4. (July/August 1993): pp. 806-813

-Enjeti, Prasad N.; Rahman, Ashek and Jakkli, Ranjit. "Economic Single-Phase to Three-Phase Converter Topologies for Fixed and Variable Frequency Output". IEEE Transactions on Power Electronics, Vol. 8, No. 3. (July 1993): pp. 329-335

-Enjeti, Prasad N.; Ziogas, Phoivos D.; Lindsay, James F.; Rashid, Muhammad H. "A new PWM Speed Control System for High-Perfiomance ac Motor Drives" IEEE Transaction on Industrial Electronics, Vol. 17. No.2. April 1990. pp. 143-151.

CAPITULO III. DISEÑO Y CONSTRUCCION DEL CIRCUITO CONVERTIDOR MONOFASICO A TRIFASICO.

En este Capítulo, se concretiza lo analizado anteriormente, es decir; se selecciona la topología de convertidor monofásico a trifásico, a partir; de las topologías propuestas que realizan esta conversión, que cumpla normas y estándares que permitan garantizar el buen funcionamiento del equipo y criterios establecidos en cuanto a calidad de voltaje de salida, y el bajo costo. Se selecciona además la técnica apropiada de modulación de ancho de pulso PWM programada la cual es la que garantiza la calidad del voltaje de salida. El corazón de todo inversor de potencia, es la teoría de la técnica programada PWM para hacer efectivo el control de switcheo de los dispositivos de potencia (BJT) en su correspondiente periodo de tiempo. Con ayuda del microcontrolador Motorola MC68HC11 se hace posible la generación de las formas de onda PWM que controlarán las bases de los transistores de potencia; a través de un sistema de interfase compuesto por transformadores de pulso para aislar y proteger la unidad microcontroladora.

3.1 DIAGRAMA EN BLOQUES DEL CIRCUITO CONVERTIDOR MONOFASICO A TRIFASICO.

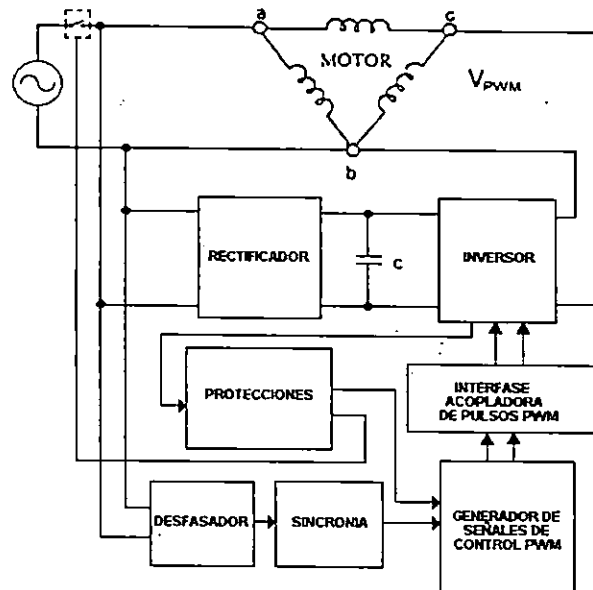


Fig. 3.1 Diagrama en bloques del convertidor monofásico a trifásico.

El esquema de convertidor propuesto es similar a dos transformadores conectados en delta abierta, para cargas balanceadas trifásicas. Solamente dos voltajes de línea son definidos, V_{ab} y V_{bc} , por la fuente monofásico y el convertidor respectivamente. Fig. 3.1

Únicamente se tiene la fase V_{ab} como referencia, y se desea generar otra desfasada 60° eléctricos. **Las soluciones posibles son:**

- a) Usar V_{ab} como sincronía, generando las conmutaciones del inversor con el desfase deseado.
- b) Obtener una referencia deseada 60° con respecto a V_{ab} , y generar las conmutaciones en sincronía con esta nueva referencia. La cual puede obtenerse de manera analógica por medio de un circuito desfasador, la alternativa a) es más económica.

3.1.1 Funcionamiento del Circuito Convertidor Monofásico a Trifásico.

El circuito Rectificador: Transforma el voltaje V_i a voltaje V_{dc} pulsante. Este circuito está contenido por diodos rectificadores.

El capacitor C: transforma el voltaje dc a pulsante a voltaje liso con un mínimo rizado.

El circuito inversor: genera el voltaje de línea bc (V_{bc}) a partir del voltaje dc (V_{dc}) aplicado a su entrada. Este circuito está constituido por dispositivos de conmutación, en este caso transistores bipolares de potencia BJT.

Etapa de sincronía de V_i con patrón PWM: Este circuito acondiciona la señal V_i y le indica a el microcontrolador el justo momento cuando iniciar con el envío de las señales de control.

Microcontrolador MC68HC11: Gobierna los dispositivos conmutadores del inversor por medio de la generación de pulsos PWM programados, para eliminación selectiva de armónicos, el cual define la calidad de los voltajes de salida V_{bc} y V_{ca} .

Interfase acoplador de pulsos: garantiza el aislamiento y protección de la unidad microcontroladora con el circuito inversor.

Algunas características de este convertidor son las siguientes:

$$V_{ab} = 240 \text{ VAC}$$

$$\begin{aligned} V_{bc} &= 240 \text{ VAC} \\ V_{ca} &= 240 \text{ VAC} \end{aligned}$$

La potencia que debe manejar el convertidor es = 0.5 P_{salida}

3.2 DIMENSIONAMIENTO DEL CONVERTIDOR MONOFASICO A TRIFASICO.

El lado izquierdo de la delta (Fig. 3.1) se alimenta por el voltaje de línea ac V_i , el cual bajo condiciones normales de operación, está dado por:

$$V_i = V_{ab} = \sqrt{2} 120 \text{ Sen } (\omega t) \quad (3.1)$$

El lado derecho de la delta se alimenta por la salida del inversor por lo tanto esta forma de onda incluye armonicos. El valor rms de este voltaje esta dado por:

$$V_{bc} = \sqrt{\sum_{K=1}^N V_k^2} \quad (3.2)$$

Donde V_k es el valor rms del n-ésimo armonico, el diagrama fasorial se muestra en la Fig. 3.2.; el voltaje V_{ca} en el lado superior de la delta puede calcularse usando:

$$V_{ca} = \sqrt{V_{ab}^2 + V_{bc}^2 - (V_{ab})(V_{bc}) \text{ Cos} \alpha} \quad (3.3)$$

Donde α es el ángulo de fase entre la fuente de alimentación ac(V_i) y el voltaje de salida del inversor y en condiciones nominales debe de ser igual a 60° .⁹

Estás ecuaciones muestran claramente que la magnitud de V_{bc} y el ángulo α .

⁹ Calculated Perfomance of ac Motors in a Single-Phase to Three-Phase Converter Application. CIEP. 96

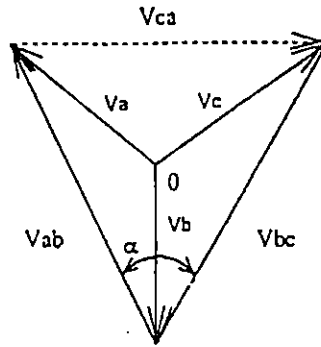


Fig. 3.2. Diagrama Fasor de las tres fases.

El límite de desbalance permitido es de 4%, en la Fig. 3.3., puede observarse el porcentaje de desbalance de voltaje para diferentes índices de modulación "m" y número de conmutaciones por cuarto de ciclo "N". Los resultados muestran en la Figura 3.3. que el límite del desbalance se excede para $N < 8$ mientras α se mantiene en 60° ¹⁰

En la Fig. 3.4 el desbalance se evalúa para $N = 9$, $m = 0.9$, y 1.1 , la cual sugiere¹⁵ que α , m y N óptimos son: 60° , 1 y 9 respectivamente.

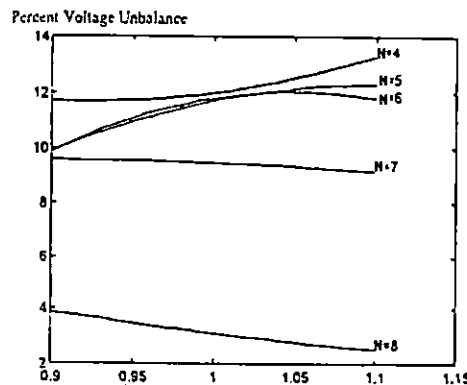


Fig. 3.3 Porcentaje de desbalance para diferentes formas de onda PWM.

¹⁰ Effect of Unbalanced Voltage on the Operation of Poliphase Induction Motors.

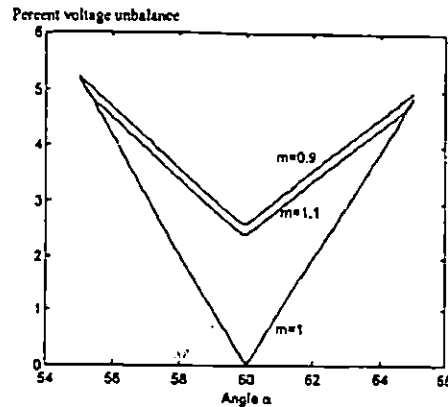


Fig. 3.4 Porcentaje de desbalance de voltaje para $N = 9$, en función de del ángulo de fase α .

3.2.1 Topología de la Etapa de Potencia del Convertidor Monofásico a Trifásico.

Las topologías de las Figs. (1.4 a 1.8) son adecuadas para realizar el convertidor propuesto. Se ha seleccionado la topología de la Fig. 1.4. Capítulo I., debido a que es la más económica y más sencilla de implementar, la cual también proporciona un voltaje trifásico de calidad. Por conveniencia se muestra en la Fig. 3.5. Además se le ha agregado el capacitor C_i , que mejora el factor de potencia de entrada, según lo discutido en la Sección 1.4.

La topología propuesta es similar a dos transformadores conectados en delta abierta para alimentar cargas trifásicas balanceadas. Solamente dos voltajes de línea V_{ab} y V_{bc} son definidos, por la fuente V_i y el convertidor respectivamente.

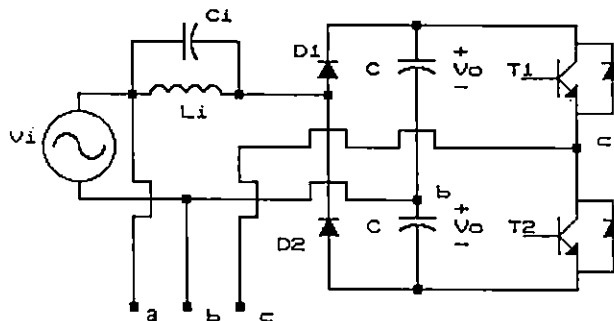


Fig 3.5 Etapa de potencia del circuito convertidor monofásico a trifásico.

La potencia que entrega la fuente a la carga trifásica está dada por:

$$P_{ab} = V_i I_a \cos(30^\circ + \phi) \quad (3.4)$$

Y la potencia que entrega el convertidor a la carga trifásica es:

$$P_{bc} = P_{convertidor} = V_{bc} I_c \cos(30^\circ - \phi) \quad (3.5)$$

Donde ϕ es el ángulo del factor de potencia de la carga. Asumiendo el factor de potencia de la carga 1 y sabiendo que

$$P_{total \text{ trifásica}} = P_{T3\phi} = \sqrt{3} V_{bc} I_c f_p \quad (3.6)$$

Tenemos que:

$$I_c = \frac{P_{T3\phi}}{\sqrt{3} V_{bc} f_p} \quad (3.7)$$

Como $f_p = 1$,

$$I_c = \frac{0.577 * P_{T3\phi}}{V_{bc_{rms}}} \quad (3.8)$$

sustituyendo (3.8) en (3.5),

$$P_{convertidor} = \frac{V_{bc} * 0.577 * P_{T3\phi} \cos(30^\circ - 0^\circ)}{V_{bc}} \quad (3.9)$$

$$P_{convertidor} = 0.5 P_{T3\phi}^{11} \quad (3.10)$$

La ecuación anterior indica que el convertidor debe manejar la mitad de la potencia total requerida por la carga trifásica.

¹¹ "Economic Single-Phase to Three-Phase Converter Topologies For Fixed and Variable Frequency Output"

3.2.1.1 Dimensionamiento de la Etapa de Potencia.

Especificaciones del motor trifásico:

| | |
|-----------------------|------------------|
| MOTOR 3φ DE INDUCCIÓN | 230V |
| Marca | General Electric |
| Modelo | 5K143AL234 |
| Corriente Nominal | 3.4 A |
| Potencia en HP | 1.0 |
| Velocidad en RPM | 1730 |
| Factor de Potencia | 0.8 |
| Conexión | Delta |
| Clase | B |
| SF | 1.15 |

Tabla 3.1 Especificación del Motor Trifásico.

En el Capítulo I, se dedujeron las ecuaciones para el dimensionamiento de los componentes de la etapa de potencia (L_i , C_r , D_1 , D_2 , C , T_1 y T_2) Los diodos D_3 y D_4 ya vienen incorporados en los transistores T_1 y T_2 . Dichas ecuaciones por conveniencia se escriben a continuación.

Para Inductancia L_i :

$$L_i = 0.31 \text{ pu .}$$

$$I_{Li} = 1.23 \text{ pu : Corriente rms en } L_i$$

$$I_{pLi} = 1.739 \text{ pu : Corriente pico en } L_i$$

Para el capacitor C_i :

$$C_i = 0.3584 \text{ pu.}$$

$$I_{ci} = 0.43 \text{ pu : corriente rms en } C_i$$

$$I_{pci} = 0.608 \text{ pu : corriente pico en } C_i$$

Para los diodos D_1 y D_2 :

$$I_{do} = 0.4573 \text{ pu : Corriente promedio}$$

$$I_{d_{rms}} = 0.7686 \text{ pu : Corriente rms}$$

$$I_{dp} = 1.537 \text{ pu : corriente pico}$$

$$V_{pr} = 2\sqrt{2} \text{ pu : Voltaje de reversa pico}$$

Para el capacitor C:

$$\begin{aligned} V_{pc} &= 2\sqrt{2} \text{ pu} & \text{pu} &: \text{ Voltaje dc pico en C} \\ C &= 4.65 \text{ pu} & \text{pu} &: \text{ Capacitancia de C} \\ VAC &= 1.024 \text{ pu} & \text{pu} &: \text{ Voltios-Amperios en C} \end{aligned}$$

Para los transistores T1 y T2:

Estos se seleccionan en base a los siguientes parámetros¹²

VCEO: Voltaje entre colector emisor con la base abierta con un voltaje de base emisor con la base emisor igual a cero voltios.

VCBO: Voltaje entre colector y base con el emisor abierto o un voltaje de base emisor igual a cero.

Icpm : Corriente en el colector pico máxima.

PD : Potencia disipada por colector-emisor

f_f : Frecuencia de switcheo

De la Fig. 3.5 se deduce que:

$$V_{CEO} = 2V_o = 2\sqrt{2} V_i \quad (3.11)$$

$$V_{CBO} = 2V_o = 2\sqrt{2} V_i \quad (3.12)$$

I_c depende de la carga nominal que maneje la fase bc por lo tanto:

$$I_{crms} = \frac{P_{convertidor}}{V_{BCrms}} \quad (3.13)$$

La potencia de disipación PD se calcula en función de la corriente Icpm, ya que todos los transistores son sensibles a la sobrecorrientes y del voltaje colector-emisor de saturación (VCES), para el caso de transistores de potencia, el voltaje (VCES) esta entre 1 y 2.5 V¹³.

Por lo tanto:

$$PD = V_{CES} * I_{cpm} \quad (3.14)$$

La Icpm es la corriente pico máxima que deberá soportar el transistor, por lo tanto:

$$I_{cpm} = \sqrt{2} * I_{crms} \quad (3.15)$$

¹² " ECG. Semiconductors Master Replacement Guide" 17th Edition.

¹³ Gualda, J.A; Martinez, S. " Electrónica Industrial de Potencia: Técnicas de Potencia".

La carga a manejar es un motor trifásico 240 VAC, 1HP de potencia con un factor de potencia de 0.8 a una frecuencia de 60Hz y con un rendimiento de 90% del convertidor. Los cálculos se harán en valores por unidad P.U. y a 120V, debido a las limitaciones que hemos tenido con los componentes ya que solo se dispone de componentes capaces de trabajar a 120VAC, específicamente los transistores de potencia (En base a la topología dimensionada; Fig.1.4(a)). Para manejar el motor trifásico 240VAC se acoplará al convertidor un transformador 3 ϕ 120VAC/240VAC con capacidad de manejar 1HP nominal.

$$\begin{aligned} V_i &= 120 \text{ VAC} = 1 \text{ pu.} \\ P_{\text{convertidor}} &= 1 \text{ pu.} \\ P_{\text{convertidor}} &= \frac{0.5 \cdot 746}{F_p \cdot 0.9} = 518 \text{ Watt} \end{aligned}$$

De esos valores :

$$1 \text{ pu de corriente} = \frac{P_{\text{convertidor}}}{V_i} = \frac{518}{120} = 4.31 \text{ Amp.}$$

$$1 \text{ pu de impedancia} = \frac{120}{4.31} = 27.84 \Omega$$

$$1 \text{ pu de inductancia} = \frac{27.84}{377} = 73.85 \text{ mH.}$$

$$1 \text{ pu de capacitancia} = \frac{1}{(27.84)(377)} = 95.27 \mu\text{f}$$

$$1 \text{ pu de frecuencia angular} = 2\omega \cdot f = 377 \text{ rad/seg}$$

Para el filtro inductor L_i

De las ecuaciones (1.4), (1.6)

$$\begin{aligned} L_i &= (0.31)(73.85\text{mH}) \\ L_i &= 22.89 \text{ mH} \end{aligned}$$

$$\begin{aligned} I_{L_{\text{rms}}} &= (1.23)(4.31) \\ I_{L_{\text{rms}}} &= 5.30 \text{ A} \end{aligned}$$

$$\begin{aligned} I_{pL_i} &= (1.735)(4.15) \\ I_{pL_i} &= 7.47 \text{ A} \end{aligned}$$

La potencia que debe manejar la inductancia L_i viene dada por:

$$\begin{aligned}
 P_{Li} &= 1/2 \omega * L_i * I_{L_{rms}}^2 \\
 P_{li} &= 1/2 (377) (22.89\text{mH}) (5.30)^2 \\
 P_{li} &= 121.20 \text{ Watt}
 \end{aligned}$$

Para el Filtro capacitor C_i :

De las ecuaciones (1.7)-(1.10)

$$\begin{aligned}
 C_i &= (0.3584) (95.27) \\
 C_i &= 34.14 \mu\text{f}
 \end{aligned}$$

$$\begin{aligned}
 I_{cirms} &= (0.43) (4.31) \\
 I_{cirms} &= 1.85 \text{ Amp.}
 \end{aligned}$$

$$\begin{aligned}
 I_{pci} &= (0.608) (4.31) \\
 I_{pci} &= 5.63 \text{ Amp.}
 \end{aligned}$$

$$\begin{aligned}
 V_{pci} &= \sqrt{2} (120) \\
 V_{pci} &= 169.70 \text{ V}
 \end{aligned}$$

Según el Manual NTE (Anexo A), el capacitor adecuado es :
MRC370V10.

Para el diodo rectificador D_1 y D_2 .

De las ecuaciones (1.11)-(1.14)

$$I_{do} = (0.4573) (4.31) = 1.97 \text{ A.}$$

$$I_{drms} = (0.7686) (4.31) = 3.32 \text{ A.}$$

$$I_{dp} = (1.537) (4.31) = 6.64 \text{ A.}$$

$$V_{pr} = 2\sqrt{2} * (120) = 339.41 \text{ V.}$$

Los valores calculados anteriormente en condiciones de operación nominal del motor, pero en el arranque la corriente alcanza un valor típico máximo aproximadamente 6 a 8 veces la corriente nominal, teniendo en cuenta esta característica, el diodo rectificador adecuado es según el Manual ECG : (Ver Anexo A).

$D_1, D_2 \rightarrow$ ECG 5966.

Para el filtro capacitor dc, C :

De las ecuaciones (1.15)-(1.17)

$$\begin{aligned}
 V_{pc} &= (\sqrt{2}) (120) \\
 V_{pc} &= 339.41 \text{ V}
 \end{aligned}$$

$$C = (4.65) (95.27 \mu\text{f})$$

$$C = 443 \mu\text{f}$$

$$P_c = (1.024) (518) \text{ Watts}$$

$$P_c = 530.4 \text{ Watts}$$

Para los transistores T1 y T2:

De las ecuaciones (3.11), (3.12)

$$V_{CE} = 2\sqrt{2} (120)$$

$$V_{CE} = 339.41 \text{ V}$$

$$V_{CB} = (2) (\sqrt{2}) (120 \text{ V})$$

$$V_{CB} = 339.41 \text{ V}$$

La corriente que deberán manejar los transistores tienen que ser los valores picos máximos ya que todos los transistores son sensibles a las sobrecorrientes.

Por lo tanto, de las ecs. (3.13)-(3.15) la corriente pico máximo en los transistores, I_{cpm} es:

$$I_{cpm} = (8) * (\sqrt{2}) * (518/120)$$

$$I_{cpm} = 48.83 \text{ A.}$$

La potencia que disiparán los transistores viene dada por:

$$PD = (V_{CES}) (I_{cpm})$$

V_{CES} : Voltaje colector-emisor de saturación el cual vale típicamente entre 1 y 2.5 V para transistores de silicio.

Considerando el valor más alto:

$$PD = (2.5) (48.83)$$

$$PD = 122.09 \text{ watt.}$$

El transistor seleccionado es el EVK31-050. Ver Anexo A.

Cálculo del Disipador de Calor

La temperatura de unión viene dada por la ecuación:

$$T_j = P_D (\theta_{jc} + \theta_{cs} + \theta_{sa}) + T_A \quad (3.15a)$$

$$\theta_{jA} = \theta_{jc} + \theta_{cs} + \theta_{sa} \quad (3.16b)$$

Donde:

T_j : Temperatura de unión

P_D : Potencia de disipación de BJT

θ_{jA} : Resistencia térmica total desde la unión al ambiente ($^{\circ}\text{C}/\text{W}$)

θ_{SA} : Resistencia térmica del disipador

θ_{jc} : Resistencia térmica de la unión al case $0.4^{\circ}\text{C}/\text{W}$ típico.

θ_{CS} : Resistencia térmica del disipador al case.

Para un $T_j = 150^{\circ}\text{C}$, $T_A = 30^{\circ}\text{C}$ y sust. en Ec. (3.15a) $\theta_{JA} = 0.98^{\circ}\text{C}/\text{W}$. Despejando de Ec. (3.15b) θ_{SA} y asumiendo $\theta_{CS} = 0$ (grasa silicona), $\theta_{SA} = 0.58^{\circ}\text{C}/\text{W}$. Luego con esta resistencia térmica encontramos en el Manual ECG un disipador modelo 446A (Anexo A)

3.3 CIRCUITO INTERFASE PARA ACOPLO DE SEÑAL PWM HACIA BJT's (T1, T2).

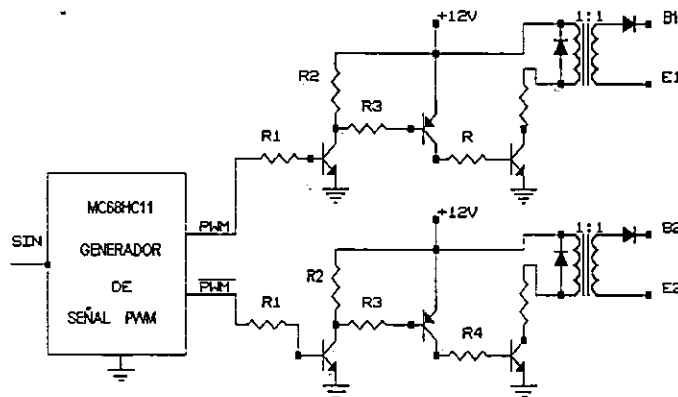


Fig. 3.6 Circuito interfase para excitación con señal PWM a las bases de los transistores T1 y T2.

En la Fig. 3.6 se muestra el circuito de excitación o control de las bases de los transistores T1 y T2 para el gobierno de la conmutación de dichos transistores. El circuito incluye tres etapas amplificadoras (T3, T4, T5 y sus respectivas resistencias de polarización) para no sobrecargar a las salidas del microcontrolador que proporcionan la señal PWM, ya que éstos no pueden proporcionar la potencia necesaria para el manejo adecuado del transformador de pulsos [P] el cual proporciona el aislamiento ideal entre la etapa de potencia y el circuito de excitación o control (constituido por el microcontrolador y las etapas amplificadoras) de los transistores T1 y T2.

Las ecuaciones de dimensionamiento del circuito teniendo en cuenta que los transistores trabajan al corte y saturación, las ganancias de los transistores ($\beta_3, \beta_4, \beta_5$) T3, T4 y T5 y haciendo los respectivos LVK y LCK son:

$$R1 = \frac{V_{PWM} - V_{B3E3}}{I_{B3}} \quad (3.16)$$

$V_{B3E3} = 0.8 \text{ V}$, $V_{PWM} = 3 \text{ V}$ (Obtenido por medición)

$$R2 = \frac{12 - V_{C3E3}}{I_{C3}} \quad (3.17)$$

$I_{C3} = I_{B4}$, $V_{C3E3} = 0.2 \text{ V}$

$$R3 = \frac{12 - V_{B4E4} - V_{C3E3}}{I_{B4}} ; \quad (3.18)$$

$V_{B4E4} = 0.8 \text{ V}$, $V_{C3E3} = 0.2 \text{ V}$

$$R4 = \frac{12 - V_{C4E4} - V_{B5E5}}{I_{B5}} ; \quad (3.19)$$

$V_{B5E5} = 0.2 \text{ V}$, $V_{C4E4} = 0.2 \text{ V}$

$$R5 = \frac{12 - V_{D6} - V_{B1E1} - V_{C5E5}}{I_{C5}} ; \quad (3.20)$$

$V_{D6} = 0.8 \text{ V}$, $V_{B1E1} = 1.6 \text{ V}$, $V_{C5E5} = 0.2 \text{ V}$ $I_{C5} = I_{B1}$

$$I_{C5} = I_{B1} = I_{cpm}/\beta_1 \quad (3.21)$$

$$I_{B4} = I_{C3} = I_{B5}/\beta_4 \quad (3.22)$$

$$I_{B5} = I_{C5}/\beta_5 \quad (3.23)$$

$$I_{B3} = I_{B4}/\beta_3 \quad (3.24)$$

Asumiendo β_3 , β_4 , β_5 ; con valores típicos encontrados en los manuales para semiconductores tenemos que: $\beta_3 = 70$, $\beta_4 = 20$ y $\beta_5 = 15$ y $\beta_1 = 15$. La disipación térmica para estos BJT es despreciable.

Por lo tanto de la ecs. (3.16)-(3.24) y sustituyendo los valores respectivos tenemos que:

$$I_{C5} = I_{B1} = 18.31/15 = 1.22 \text{ Amp.}$$

$$I_{B5} = 1.22/15 = 81.37 \text{ mA}$$

$$I_{B4} = I_{C3} = 81.32\text{mA}/20 = 4.06 \text{ mA}$$

$$I_{B3} = 4.06 \text{ mA}/70 = 58 \mu\text{A}$$

$$R_1 = \frac{(3 - 0.8)\text{V}}{58\mu\text{A}} = 37.93 \text{ K}\Omega$$

$$R_2 = \frac{(12 - 0.2)\text{V}}{4.06 \text{ mA}} = 2.9 \text{ K}\Omega$$

$$R_3 = \frac{(12 - 0.8 - 0.2)\text{V}}{4.06 \text{ mA}} = 2.7 \text{ K}\Omega$$

$$R_4 = \frac{(12 - 0.2 - 0.8)\text{V}}{81.37 \text{ mA}} = 135\Omega$$

$$R_5 = \frac{(12 - 0.8 - 1.6 - 0.2)\text{V}}{1.22\text{A}} = 9.43\Omega$$

Todos los resistores son de $\frac{1}{4}$ de Watt, excepto R5 el cual su potencia es:

$$\begin{aligned} P_{R5} &= I_{C5}^2 * R_5 \\ P_{R5} &= (1.22)^2 * 9.43 \\ P_{R5} &= 14.03 \text{ Watt.} \end{aligned}$$

Para el transformador de pulsos tenemos que:

Numero de vueltas del primario : 100

Número de vueltas del secundario : 100

Núcleo : ferrita con un diámetro de 1.3 cm., y 4 cm. De largo.

Calibre del alambre : primario No. 28 y secundario No.28.

Los transistores que satisfacen las características de voltaje y corriente son, según el Manual ECG. (Anexo B).

Para Q3 y Q5, el ECG 328.

Para Q4, el ECG 127

Para los diodos es , el ECG 116 (Anexo B).

3.4 CIRCUITO SINCRONIZADOR DE VOLTAJE DE ALIMENTACION V_i CON SEÑAL DE CONTROL

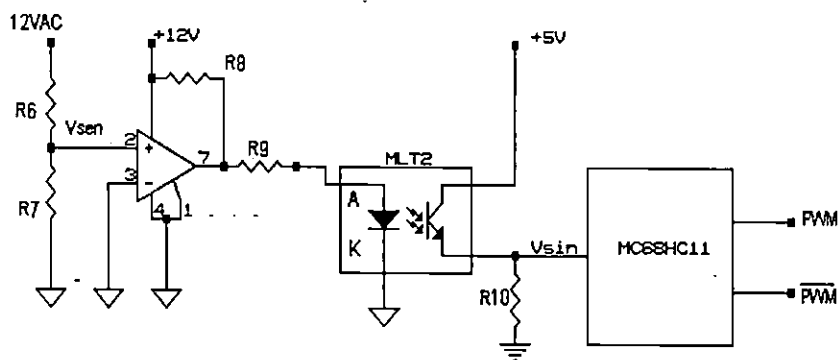


Fig. 3.7 Circuito sincronizador de V_i con señal PWM.

En la Fig. 3.7 se muestra el circuito sincronizador de voltaje V_i que alimenta al circuito de potencia de la Fig. 3.5 con la señal PWM generada por el microcontrolador. Esta sincronización es necesaria ya que se debe garantizar que cuando V_i inicie en cero en el semiciclo positivo, el patrón PWM también inicie en cero y esto tiene que repetirse ciclicamente para garantizar los desfases entre los voltajes V_{ab} , V_{bc} , y V_{ca} .

Esta sincronía se logra con el circuito de la Fig. 3.7 en donde el amplificador operacional LM311 está configurado como detector de cruce por cero. Cada vez que V_i inicia en cero en el semiciclo positivo es detectado por el divisor de voltaje formado por R_6 y R_7 a través de la caída de tensión V_{sen} en R_7 la cual es sensada por el amplificador operacional LM311 cambiando su salida (pin 7) a un nivel alto con lo cual V_{sin} cambia a un nivel alto indicado en el microcontrolador que alimenta la señal PWM al circuito de control de las Fig 3.6., esto se repite ciclicamente iniciandose así la generación de los voltajes trifásicos V_{ab} , V_{bc} y V_{ca} . La Fig. 3.8 resume lo antes expuesto.

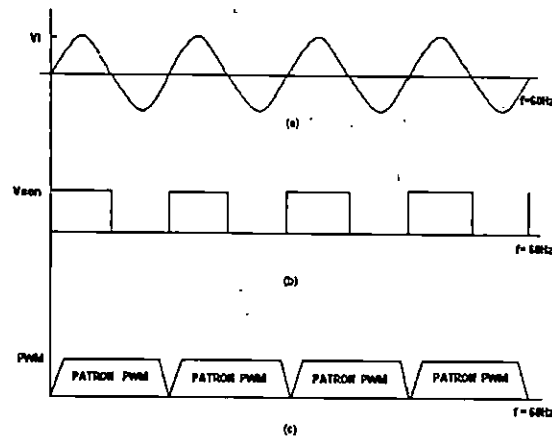


Fig 3.8 Diagrama de señales que resumen el funcionamiento del circuito de sincronía.

Las ecuaciones de diseño para el circuito de la Fig. 3.7 son: haciendo los respectivos LVK son:

$$R6 = \frac{(12VAC - V_{sen}) * R7}{V_{sen}} \quad (3.25)$$

$$V_{sen} = 3 \text{ V}, \quad R7 = 5 \text{ K}\Omega, \quad R8 = 2\text{K}\Omega$$

$$R9 = \frac{(12 - V_{A-K})}{I_{Led}} \quad (3.26)$$

$$V_{A-K} = 1.5 \text{ V}, \quad I_{Led} = 20 \text{ mA.}$$

$$R10 = \frac{(5 - V_{CE_{T6}})}{I_{C_{T6}}} \quad (3.27)$$

$$V_{CE_{T6}} = 0.2 \text{ V}, \quad I_{C_{T6}} = 5 \text{ mA.}$$

De ecs. (3.25)-(3.27)

$$R6 = \frac{(12 - 3) * 5 \times 10^{-3}}{3} = 15 \text{ K}\Omega$$

$$R9 = \frac{(12 - 0.8)}{20 \times 10^{-3}} = 560 \text{ }\Omega$$

$$R10 = \frac{(5 - 0.2)}{5 \times 10^{-3}} = 960 \text{ }\Omega$$

Todos los resistores son de $\frac{1}{4}$ Watt.

3.5 IMPLEMENTACIÓN DE LAS TÉCNICAS PROGRAMADAS AL MICROCONTROLADOR

La implementación y generación de la técnica PWM a utilizar es haciendo uso de la unidad microcontroladora MC68HC11 (Anexo C). La Fig. 3.9 muestra las conexiones físicas de la unidad microcontroladora con la computadora personal. El puerto 2 de la MCU se conecta al puerto serial de la PC.

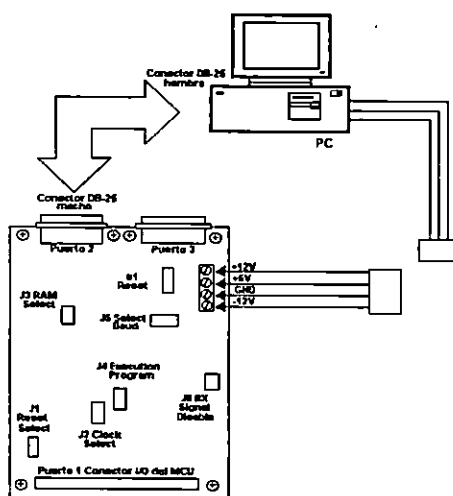


Fig. 3.9 Conexión de la Unidad Microcontroladora MC68HC11 a la computadora personal.

La técnica programada a implementar para generación y control del patrón PWM en el convertidor monofásico a trifásico es la técnica PWM SLN1 (Single Line to Neutral 1). La SLN1, es la técnica apropiada para controlar un inversor monofásico de medio puente, ya que optimiza la forma de onda línea a neutro eliminando todos los armónicos impares hasta el primer armónico significativo deseado D_1 , esta técnica tiene simetría de cuarto de onda y ángulos de switcheo entre 0° y 90° .

Dando solución a las ecuaciones no lineales analizadas en la Sección 2.1.2.1, ec. (2.25); y haciendo uso de un método numérico o matemático (MATHCAD) se obtienen los ángulos de switcheo para $N=9$ armónicos, garantizando además la reducción del desbalance de magnitud trifásico hasta un 4% el cual es aceptable. Los ángulos de switcheo son (las técnicas eliminan los $N-1$ armónicos), en grados:

$$\begin{aligned}
\alpha_1 &= 13.978^\circ \\
\alpha_2 &= 18.424^\circ \\
\alpha_3 &= 28.135^\circ \\
\alpha_4 &= 36.770^\circ \\
\alpha_5 &= 42.652^\circ \\
\alpha_6 &= 54.929^\circ \\
\alpha_7 &= 57.710^\circ \\
\alpha_8 &= 72.740^\circ \\
\alpha_9 &= 73.466^\circ
\end{aligned}$$

Los armónicos a eliminar son 3, 5, 7, 9, 11, 13, 15, 17.

Las señales de control para T_1 y T_2 para el circuito convertidor de potencia inversor medio puente se muestran en la Fig. 3.10. Se puede observar el desfase de 60° dado en el patrón PWM, presenta además la sincronía de las señales de control con la señal de voltaje monofásico, como también los respectivos ángulos de switcheo y diferenciales de tiempo.

Los diferenciales de tiempo se obtienen por medio de los ángulos de switcheo.

$$\begin{aligned}
\Delta_{t1} &= \alpha_1 \\
\Delta_{t2} &= \alpha_2 - \alpha_1 \\
\Delta_{t3} &= \alpha_3 - \alpha_2 \\
\Delta_{t4} &= \alpha_4 - \alpha_3 \\
\Delta_{t5} &= \alpha_5 - \alpha_4 \\
\Delta_{t6} &= \alpha_6 - \alpha_5 \\
\Delta_{t7} &= \alpha_7 - \alpha_6 \\
\Delta_{t8} &= \alpha_8 - \alpha_7 \\
\Delta_{t9} &= \alpha_9 - \alpha_8, \text{ aplicando simetría de cuarto de onda}^{14} \\
\Delta_{t10} &= 2(90^\circ - \alpha_9) \\
&\vdots \\
&\vdots \\
\Delta_{t38} &= 647.129 \mu\text{s}
\end{aligned}$$

Estos diferenciales de tiempo, (ver Figura 3.10) son convertidos a un equivalente en Hexadecimal a partir de la ecuación de retardo:

$$N = \frac{\Delta_t(\text{retardo}) * E}{6} \quad (3.29)$$

donde:

¹⁴ "Programed PWM Technique to Eliminate Harmonics: A Critical Evaluation".

E: Reloj CPU = 2.0MHz (500ns Ciclos de Tiempo)

El programa genera la Técnica SLN1, que consiste en desarrollar a partir de una serie de instantes de switcheo, una forma de onda de línea a neutro PWM que corresponde a el voltaje de salida del inversor.

Utilizando el Puerto A de la MCU, el cual consiste de 8 pines I/O, 3 pines de entrada (menos significativos) y 5 de salida. La señal de salida del circuito de sincronía V_{sin} (Fig 3.7) entra al pin A_0 (pin de entrada) mientras los pines de salida son A_3 (VPWM) y A_4 (VPWM); Ver Figura 3.6.

La Tabla 3-1. Presenta los instantes de switcheo y cada intervalo de tiempo PWM's de la técnica SLN1 para la eliminación de N-1 armonicos.

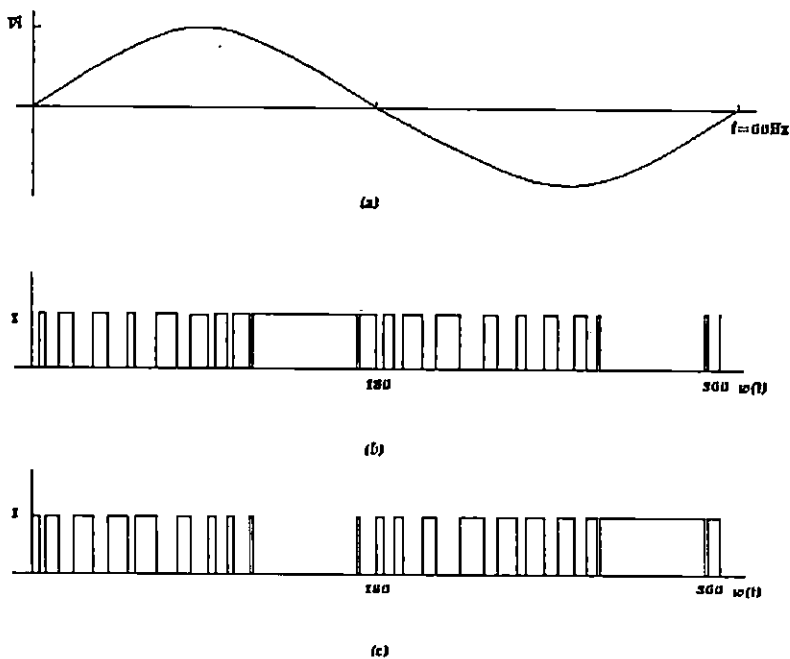


Fig. 3.10 Formas de Onda. (a) Representa el voltaje de entrada V_i . (b) Señal de control para para Q1. (c) Señal de control para Q2.

Tabla 3.2 Diferenciales de Tiempo y Niveles lógicos de la Técnica SLN1.

| Nivel Lógico | Dif. Tiempo (Δt) | μs | Hexa (N) | Nivel Lógico | Dif. Tiempo (Δt) | μs | Hexa (N) |
|--------------|----------------------------|---------|----------|--------------|----------------------------|---------|----------|
| 0 | Δt_1 | 106.019 | \$23 | 0 | Δt_{21} | 128.750 | \$2B |
| 1 | Δt_2 | 128.750 | \$2B | 1 | Δt_{22} | 568.380 | \$BE |
| 0 | Δt_3 | 568.380 | \$BE | 0 | Δt_{23} | 272.315 | \$5B |
| 1 | Δt_4 | 272.315 | \$5B | 1 | Δt_{24} | 400.000 | \$85 |
| 0 | Δt_5 | 400.000 | \$85 | 0 | Δt_{25} | 449.583 | \$96 |
| 1 | Δt_6 | 449.583 | \$96 | 1 | Δt_{26} | 205.833 | \$45 |
| 0 | Δt_7 | 205.833 | \$45 | 0 | Δt_{27} | 647.129 | \$D8 |
| 1 | Δt_8 | 647.129 | \$D8 | 1 | Δt_{28} | 647.129 | \$D8 |
| 0 | Δt_9 | 647.129 | \$D8 | 0 | Δt_{29} | 205.833 | \$45 |
| 1 | Δt_{10} | 205.833 | \$45 | 1 | Δt_{30} | 449.580 | \$96 |
| 0 | Δt_{11} | 449.583 | \$96 | 0 | Δt_{31} | 400.000 | \$85 |
| 1 | Δt_{12} | 400.000 | \$85 | 1 | Δt_{32} | 272.315 | \$5B |
| 0 | Δt_{13} | 272.315 | \$5B | 0 | Δt_{33} | 568.380 | \$BE |
| 1 | Δt_{14} | 568.380 | \$BE | 1 | Δt_{34} | 128.750 | \$2B |
| 0 | Δt_{15} | 128.750 | \$2B | 0 | Δt_{35} | 695.833 | \$E8 |
| 1 | Δt_{16} | 695.833 | \$E8 | 1 | Δt_{36} | 33.611 | \$0B |
| 0 | Δt_{17} | 33.611 | \$0B | 0 | Δt_{37} | 1530.93 | \$1FE |
| 1 | Δt_{18} | 1530.93 | \$1FE | 1 | Δt_{38} | 33.611 | \$0B |
| 0 | Δt_{19} | 33.611 | \$0B | 0 | Δt_{39} | 589.814 | \$C5 |
| 1 | Δt_{20} | 695.833 | \$E8 | | | | |

3.6 SOFTWARE.

```

***                                COMENTARIOS                                ***
read   org $c000                    ** Origen a utilizar en el mapeo de memoria **
      ldaa $1000                   ** Lazo que examina el estado del pin **
      anda #$01                    ** menos significativo del puerto A, el cual **
      beq read                      ** se utiliza como entrada. **

read1  ldaa $1000                   ** Este lazo sigue examinando el pin Ao pero **
      anda #$01                    ** con la diferencia de que salta cuando el **
      bne read1                     ** estado del pin no es igual a uno. **

read2  ldaa $1000                   ** Última condición para sacar el patrón PWM **
      anda #$01                    ** ya que aquí el estado del pin Ao es uno **
      beq read2                     ** según es la sincronía. **

cerol  ldaa #$48                    ** Con este lazo se escribe a la salida de **
      staa $1000                   ** uno de los pines del Puerto A correspon- **
      ldx #$0023                   ** diente al diferencial de tiempo  $\Delta_1$  **
      dex
      bne cerol                    ** Luego estos lazos corresponde a cada **
      ldaa #$50                    **  $\Delta$ tiempo, por lo que es repetitivo solo **
      staa $1000                   ** su correspondiente valor hexadecimal. **
      ldx #$002b

unol   dex
      bne unol
      ldaa #$48
      staa $1000
      ldx #$00be

cerol  dex
      bne cerol
      ldaa #$50
      staa $1000
      ldx #$005b

uno2   dex
      bne uno2
      ldaa #$48
      staa $1000
      ldx #$0085

cerol  dex
      bne cerol
      ldaa #$50
      staa $1000
      ldx #$0096

uno3   dex
      bne uno3
      ldaa #$48
      staa $1000
      ldx #$0045

cerol  dex
      bne cerol
      ldaa #$50
      staa $1000
      ldx #$d8

uno4   dex
      bne uno4
      ldaa #$48
      staa $1000
      ldx #$d8

cerol  dex
      bne cerol
      ldaa #$50
      staa $1000

```

```

    ldx #$0045
uno5  dex
      bne uno5
      ldaa #$48
      staa $1000
      ldx #$0096
cer06 dex
      bne cer06
      ldaa #$50
      staa $1000
      ldx #$0085
uno6  dex
      bne uno6
      ldaa #$48
      staa $1000
      ldx #$005b
cer07 dex
      bne cer07
      ldaa #$50
      staa $1000
      ldx #$00be
uno7  dex
      bne uno7
      ldaa #$48
      staa $1000
      ldx #$002b
cer08 dex
      bne cer08
      ldaa #$50
      staa $1000
      ldx #$00e8
uno8  dex
      bne uno8
      ldaa #$48
      staa $1000
      ldx #$000b
cer09 dex
      bne cer09
      ldaa #$50
      staa $1000
      ldx #$01fe
uno9  dex
      bne uno9
      ldaa #$48
      staa $1000
      ldx #$000b
cer10 dex
      bne cer10
      ldaa #$50
      staa $1000
      ldx #$00e8
uno10 dex
      bne uno10
      ldaa #$48
      staa $1000
      ldx #$002b
cer11 dex
      bne cer11
      ldaa #$50
      staa $1000
      ldx #$00be
uno11 dex
      bne uno11

```



```

        ldaa #$48
        staa $1000
        ldx #$005b
cer012  dex
        bne cer012
        ldaa #$50
        staa $1000
        ldx #$0085
uno12   dex
        bne uno12
        ldaa #$48
        staa $1000
        ldx #$0096
cer013  dex
        bne cer013
        ldaa #$50
        staa $1000
        ldx #$0045
uno13   dex
        bne uno13
        ldaa #$48
        staa $1000
        ldx #$00d8
cer014  dex
        bne cer014
        ldaa #$50
        staa $1000
        ldx #$00db
uno14   dex
        bne uno14
        ldaa #$48
        staa $1000
        ldx #$0045
cer015  dex
        bne cer015
        ldaa #$50
        staa $1000
        ldx #$0096
uno15   dex
        bne uno15
        ldaa #$48
        staa $1000
        ldx #$0085
cer016  dex
        bne cer016
        ldaa #$50
        staa $1000
        ldx #$005b
uno16   dex
        bne uno16
        ldaa #$48
        staa $1000
        ldx #$00be
cer017  dex
        bne cer017
        ldaa #$50
        staa $1000
        ldx #$002b
uno17   dex
        bne uno17
        ldaa #$48
        staa $1000
        ldx #$00e8

```

```

cer018 dex
      bne cer018
      ldaa #$50
      staa $1000
      ldx #$000b
uno18 dex
      bne uno18
      ldaa #$48
      staa $1000
      ldx #$01fe
cer019 dex
      bne cer019
      ldaa #$50
      staa $1000
      ldx #$000b
uno19 dex
      bne uno19
      ldaa #$48
      staa $1000
      ldx #$00c5
cero20 dex
      bne cero20
      jmp read2
      rts
** Regresa al lazo Read2 una y otra vez. **
*****

```

3.7 ALTERNATIVA ECONOMICA PARA CONTROL Y GENERACION DE SEÑALES PWM PARA EL CONVERTIDOR MONOFÁSICO A TRIFÁSICO.

Después de obtener resultados satisfactorios del convertidor monofásico a trifásico diseñado, con el uso de la unidad microcontroladora MC68HC11 como generadora de las señales PWM que corresponden al control de los switch(BJT). Se plantea la necesidad de sustituir esta unidad microcontroladora para realizar y lograr una implementación competitiva que involucre los objetivos de economía y eficiencia, y pueda suplir las necesidades que existen en zonas rurales del país, para agilizar aplicaciones productivas de la energía eléctrica.

Las técnicas PWM, pueden ser almacenadas en una memoria (UV-EPROM) como se menciono antes en el apartado 2.2.1, y como se muestra en la Figura 2.19 su diagrama lógico para la generacion de las señales de control, por medio de un contador con frecuencia igual a la frecuencia de la línea multiplicada por cantidad de espacio de la memoria(direcciones) que contenga almacenado el patrón y así hacer posible obtener a la salida las señales degatilleo PWM.

Para generar la frecuencia necesaria para barrer las direcciones del contador, se requiere de un dispositivo (PLL) que tenga las características de sintetizar dicha frecuencia y amarrar la fase que se requiere(60°).

La Figura 3.11 presenta el diagrama en bloques de la etapa del circuito de control con las características de patrón PWM almacenado en la memoria EPROM.

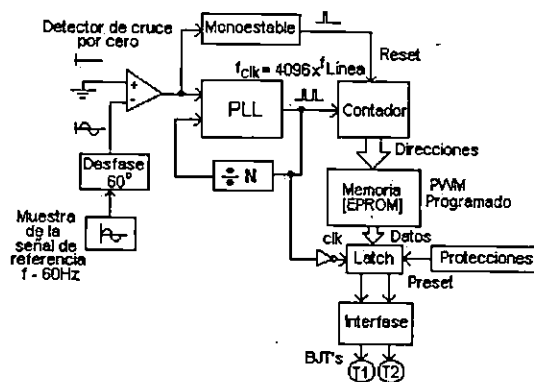


Figura 3.11 Etapa de control del convertidor monofásico a trifásico.

La Figura 3.11 muestra el diagrama en bloques del circuito de control y manejador de la señal PWM para el convertidor monofásico a trifásico.

FUNCIONAMIENTO:

Circuito desfasador (60°): Este circuito se encarga de generar el desfase de 60° entre el voltaje de línea V_{ab} (fuente de alimentación de voltaje monofásica a.c.) tomando una muestra por medio de un transformador, y el voltaje V_{bc} generado por el inversor.

Detector de cruce por cero: Determina el momento exacto en el cual debe de iniciar la generación del voltaje de línea V_{bc} por medio de la señal alimentada a su entrada inversora (señal desfasada 60° con respecto a V_{ab}).

PLL, Monoestable y Contador: El circuito de amarre de fase PLL, el temporizador monoestable y el contador se encargan de generar la señal que direcciona la memoria EPROM con una frecuencia de reloj f_{clk} , manteniendo a la vez una sincronización entre estos pulsos y la señal de entrada.

Memoria EPROM : Contiene el patrón PWM almacenado para el control de los switches T_1 y T_2 .

Latches: Almacena el patrón PWM programado en la memoria EPROM para el control de los switches T_1 y T_2 .

Divisor entre N: Divide la frecuencia de salida del VCO del PLL entre N (4096 direcciones de memoria). Utilizando un contador de 12 bit conectado de manera correspondiente.

Protecciones: Circuitos que desactivan los switches T_1 y T_2 por medio de los latches al presentarse una falla en el convertidor, ya sea por sobrecorriente en las líneas de alimentación al motor debido a una sobrecarga, alta de una fase o desbalance protegiéndose así los switches T_1 y T_2 que son los componentes más sensibles a las sobrecorrientes.

Interfase acoplador de pulsos PWM: Este circuito se encarga se

encarga de acoplar magnéticamente (con los requisitos de potencia óptimos) el patrón PWM hacia los switches T1 y T2 de la etapa de potencia del convertidor, ya que no puede existir un acople directo de patrón PWM porque se dañaría instantáneamente el circuito de control.

El diagrama de señales en la Fig. 3.12. resume el funcionamiento del circuito de control de la Fig. 3.11.

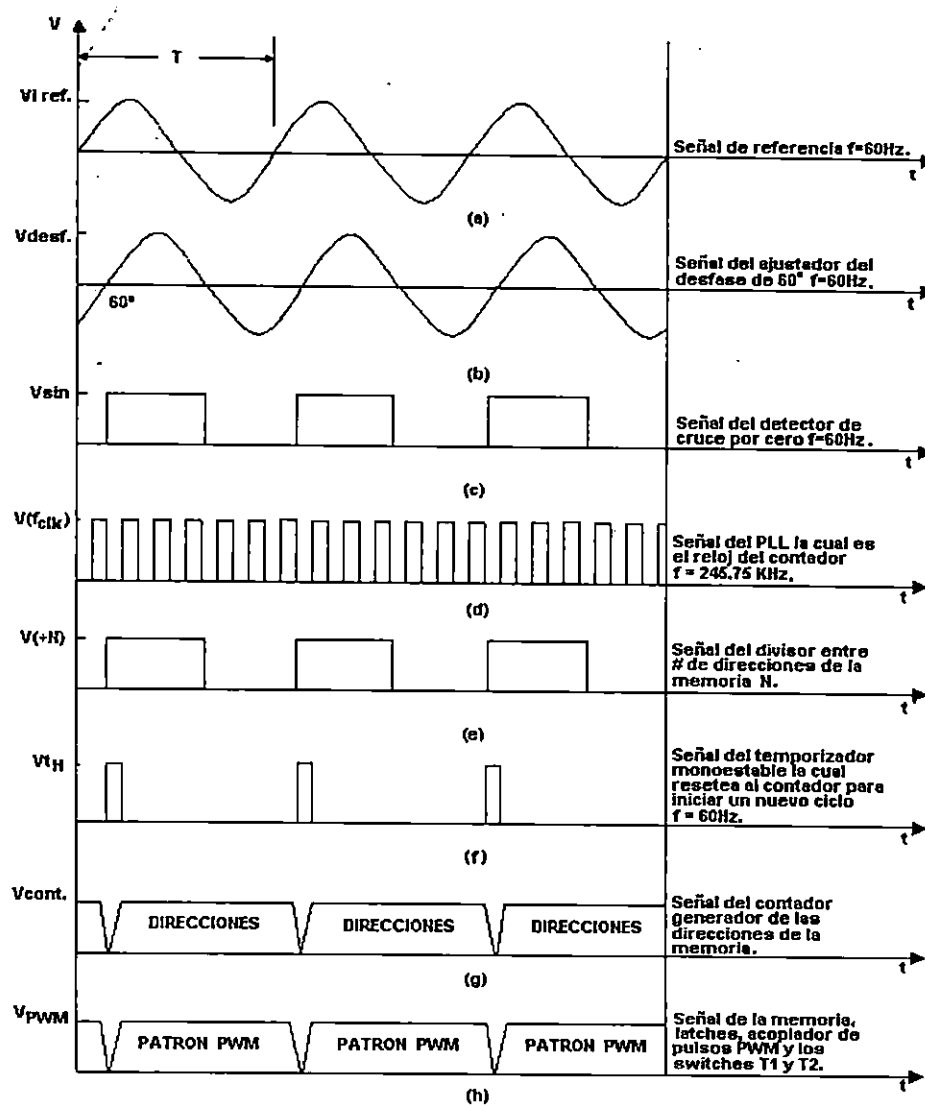


Fig. 3.12. Temporizado de señales del circuito de control y manejador de la señal PWM programada para el convertidor monofásico a trifásico.

3.7.1 CIRCUITO DE SINCRONIZACIÓN DE FASE.

El circuito de amarre de fase PLL se encarga de generar la señal que direcciona la memoria UV-EPROM con una frecuencia de reloj, manteniendo a la vez una sincronización entre estos pulsos y la señal de entrada. En la Figura 3.11 Se muestra en forma esquemática las partes que conforman el circuito de amarre de fase que se emplea.

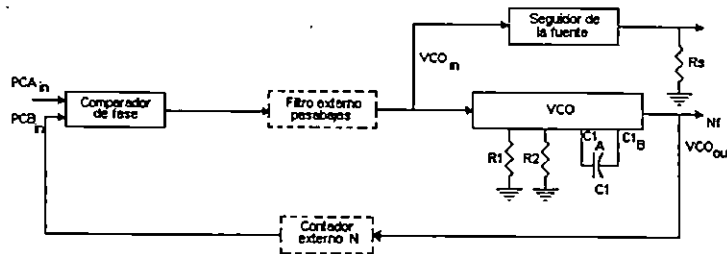


Fig. 3.13 Diagrama y conexiones del circuito de amarre de fase.

En la Figura 3.13 se muestra en forma esquemática las partes que conforman el circuito de amarre de fase que se emplea. La manera para determinar los valores se detallará a continuación.

Usando el integrado CMOS 4046B y tomando el comparador de fase II. Que proporciona un desfaseamiento de 0° .

El Oscilador de voltaje controlado por frecuencia VCO del PLL, se ajusta con la frecuencia más baja de operación f_{\min} , estableciendo frecuencia típica 60 ± 5 Hz, y con las siguientes expresiones se determina la f_{\min} y f_{\max} :

$$f_{\min} = (f_{\text{tip.}} - \text{toler.}) (4096), \text{ en Hz} \quad (3.30)$$

$$f_{\max} = (f_{\text{tip.}} + \text{toler.}) (4096), \text{ en Hz} \quad (3.31)$$

En donde:

toler = tolerancia

f_{tip} = frecuencia típica, en Hz.

4096 = corresponde al tamaño de la tabla a direccionar (4K)

El rango de frecuencia de amarre es:

$$2f_L = f_{\max} - f_{\min} \quad (3.32)$$

Se define el rango de frecuencia de captura como dos veces la frecuencia de corte de línea (f_{CL}), de acuerdo con la expresión siguiente:

$$f_{CL} = f_L \quad (3.33)$$

Para el análisis del diseño del PLL se utilizan los métodos gráfico y analítico, (ver Anexo D). A partir de la relación de frecuencias $f_{\max}/f_{\min} = 1.18$, (En el Anexo Fig. 2(e)); Se obtiene la relación de resistencias $R_2/R_1 = 0.3$,. Tomando el valor de $R_2=10K\Omega$ según Figura 2(d). De Anexo D, el valor de $R_1= 33.33K\Omega$. Ahora utilizando la ecuación de Tabla de la Figura 2. Y sustituyendo los valores para $f = 0.24576MHz$ y $V_{DD} = +5V$ el Valor del capacitor $C_1 = 196.85 pF$.
 $R_s = 1K\Omega$ (Salida demoduladora).

3.7.2 DISEÑO DEL FILTRO EXTERNO.

En la Fig. 3.14 se muestra el filtro de bucle el cual es uno de los componentes principales del circuito de sincronización de fase. A pesar de que el comparador de fase y el VCO son partes esenciales del circuito PLL, el filtro de bucle es el responsable de importantes refinamientos en el funcionamiento del PLL. En primer lugar, el filtro de bucle elimina el ruido de la señal de voltaje de error en la salida del comparador de fase. El filtro de bucle puede reducir el margen de captura y el ancho de banda del circuito, afectando indirectamente el margen de sincronización. El filtro restringe el régimen máximo en el cual puede producirse la sincronización de fase, debido a que el voltaje entre terminales del filtro no puede cargarse y descargarse instantáneamente. Puede perderse el marea de sincronización si la frecuencia de referncia cambia demasiado rapido. De esta manera, el margen de sincronizacion se ve afectado por el filtro de bucle. El filtro de bucle también proporciona un efecto de memoria para que el circuito PLL mantenga el bucle en o cerca de la frecuencia de funcionamiento, si se produce una pérdida momentatanea de la señal.

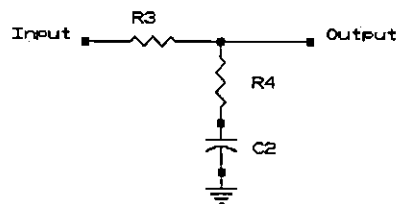


Fig 3.14. Filtro externo.

Ecuaciones de diseño.

$$R_4 C_2 = \frac{6N}{f_{\text{máx}}} - \frac{N}{2\pi\Delta_f} \quad (3.34)$$

$$(R_3 + 3000\Omega) C_2 = \frac{100N\Delta_f}{f_{\text{máx}}^2} - R_4 C_2 \quad (3.35)$$

$$\Delta_f = f_{\text{máx}} - f_{\text{mín}} \quad (3.36)$$

de Ec. (3.34) y $R_4 = 47 \text{ K}\Omega$ (ANEXO D), $C_2 = 1.6 \text{ }\mu\text{F}$.
de Ec. (3.35) $R_3 = 97 \text{ K}\Omega$.

3.7.3 DIMENSIONAMIENTO DEL CIRCUITO TEMPORIZADOR MONOESTABLE.

Del diagrama de temporizado de señales del circuito de la etapa de control de la Fig.3.12, se obtiene la señal que debe generar el temporizador monoestable. Este señal debe tener una frecuencia de 60Hz y un ancho de pulso (t_H) muy angosto, ya que este solo sirve para resetear al contador del circuito de control y para eso se le asigna un tiempo de $2\mu\text{s}$. El circuito integrado que puede generar esta señal es según el Manual ECG para semiconductores el CMOS CI 4098B (Anexo D) el cual se muestra en la Fig. 3.15, este contiene dos temporizadores de los cuales sólo se necesitará uno, la resistencia R_{x1} y el condensador C_{x1} determinan el valor del ancho de pulso t_H .

La formula que define la duración del ancho de pulso t_H . es:

$$t_H = 0.5C_{x1}R_{x1} \quad (3.37)$$

Ya que se necesita un ancho de pulso de $2\mu\text{s}$ y si fijamos el valor de la resistencia a $10 \text{ K}\Omega$, tenemos que:

$$C_{x1} = \frac{t_H}{0.5R_{x1}}$$

$$C_{x1} = 100 \text{ pF}$$

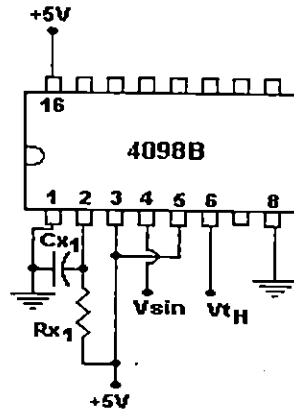
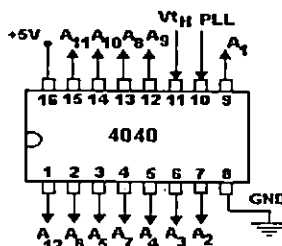


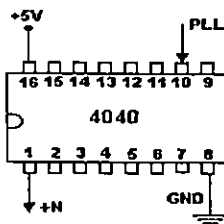
Figura 3.15. Diagrama del circuito temporizador monoestable.

3.7.4 SELECCIÓN DEL CONTADOR Y DIVISOR ÷N.

La selección del contador, es función de la cantidad de localidades de memoria a direccionar, para nuestro patrón PWM programado se necesitan 4096 localidades de memoria por lo tanto el contador debe tener la capacidad de contar hasta 4096, según el Manual ECG para semiconductores el circuito integrado para esta aplicación es el CMOS 4040. (Ver. Anexo D) La cual es un contador binario de 12 bits. El cual también es utilizado como divisor utilizando el pin 1 o salida 12 ya que es la que divide entre 2^{12} .



(a)



(b)

Fig 3.16. Diagrama que representa las conexiones del CI 4040. (a) Contador 2^{12} . (b) Divisor $\div 2^{12}$.

3.7.5 CIRCUITO DESVIADOR DE FASE.

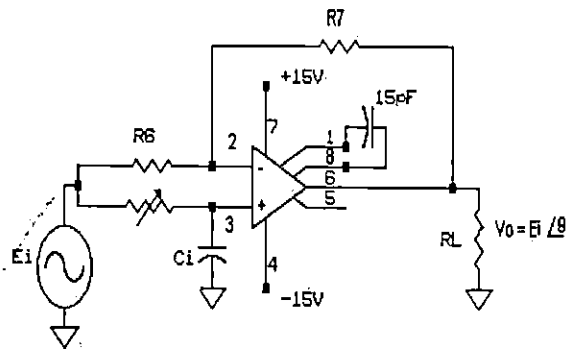


Fig. 3.17 Circuito desfasador.

La Fig. 3.17. Presenta un circuito ideal que se encarga de transmitir una onda sin cambiar su amplitud, pero cambiando su ángulo de fase por una cantidad preestablecida (60°). La señal de entrada (E_i), a partir de una muestra tomada de la línea por medio de un transformador pasa al circuito de sincronía para indicarle a la unidad microcontroladora que es el momento de enviar la señales PWM.

Una expresión general para el voltaje de salida del circuito desviador de fase en la Figura 3.17 está dada por

$$V_o = E_i \angle -\theta \quad (3.38)$$

En donde θ es el ángulo de fase y se obtendrá a partir de la ecuación (3.39). Los resistores R deben ser iguales¹⁵, y cualquier valor conveniente de 10 a $220\text{K}\Omega$ puede utilizarse. El ángulo de fase θ sólo depende de R_i, C_i , y la frecuencia f de E_i , La relación es

$$\theta = 2 \arctan 2\pi f R_i C_i \quad (3.39)$$

Para $\theta = 60^\circ$,

$$R_i = \frac{\tan(\theta/2)}{2\pi f C_i}$$

¹⁵ Coughlin & Driscoll. "Circuitos Integrados Lineales y Amplificadores Operacionales".

$$R_i = \frac{0.577}{3.76E-6}$$

$$R_i = 153.457 \text{ K}\Omega$$

3.7.6. PROGRAMACIÓN DE UV-EPROM Y RETENEDOR (LATCH).

Los requisitos de almacenamiento de una PWM programada se trato en apartado 2.2.1. Para nuestro caso se utiliza una memoria de 32K x 8bits (Fig.3.18(a)) (Anexo D) , aunque pudo ser utilizada una de 2K x 8bits. La frecuencia $F_{clk} = 245760\text{Hz}$ sintetizada por el circuito de amarre de fase da un tiempo de $4.06\mu\text{s}$, el cual corresponde a una dirección (N=4096) de memoria de la EPROM, lo que es la duración de la PWM almacenada en la EPROM igual a 16.66ms.

Los datos a la salida de la UV-EPROM son almacenados temporalmente en un retenedor de datos o latch, el cual sirve para dar estabilidad a la señal PWM, siendo esta controlada por la misma frecuencia de reloj generada por el circuito PLL (Fig. 3.18(b)) (Anexo D).

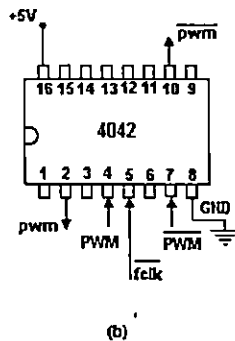
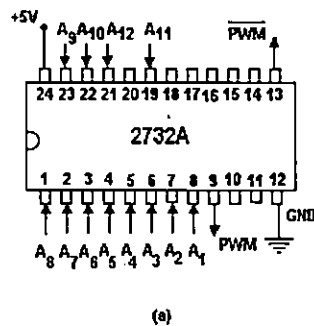


Fig. 3.18 Diagrama que representa las conexiones. (a) La UV-EPROM, CI 2732A (b) Retenedor de Datos. CI 4042.

3.8 PROTECCIONES DEL CONVERTIDOR MONOFÁSICO A TRIFÁSICO

En los equipos o sistemas eléctricos y electrónicos debe preverse la aparición de fallas en el funcionamiento normal. Fallas que pueden dañar y destruir los elementos que componen el equipo, especialmente los del equipo electrónico.

Entonces es obligatorio tomar en consideración, etapas electrónicas o mecánicas adicionales encargadas de minimizar el daño en el sistema. Entre las fallas que pueden presentarse en cualquier equipo se encuentran:

- Sobreintensidades por cortocircuito y sobrecarga.
- Sobrevoltajes al equipo y al carga.
- Desbalance de fases.
- Pérdida de una fase.

La lista puede continuar de acuerdo a lo sofisticado y seguro que se pretenda que sea el sistema de protecciones.

Sin embargo, se presta especial atención a la vigilancia de la corriente, ya que es el parámetro que más frecuentemente sufre perturbaciones, y es la corriente elevada la más destructiva porque somete los elementos a su paso, a sobrecalentamiento y tensiones mecánicas excesivas. El sistema diseñado no cuenta con todas las protecciones deseadas y la razón de ello no es otra que la carencia de recursos económicos para implementarlos. Sin embargo se han incluido protecciones elementales al sistema como lo es la protección contra sobrecorrientes y las protecciones propias de los transistores de potencia.

a) Circuito de Protección Electrónica y de Mando.



Funcionamiento:

En la Fig. 3.19 se muestra el circuito de protección contra sobrecorriente. Por medio de la bobina (L), sensora de corriente se sensa la corriente de carga (I) la cual genera electromagnéticamente una caída de tensión en la resistencia R. Cuando la corriente I excede el valor nominal de trabajo del motor trifásico generando así la caída de tensión en la resistencia R, la que activa inmediatamente el circuito de protección, generando un nivel alto (5Vdc) en la resistencia R con

lo cual genera un nivel bajo (0Vdc) a la salida del amplificador operacional ($\mu 741$) con lo que activa el relay M y se envía un nivel lógico bajo a las compuertas g1 y g2 anulando el patrón PWM hacia la etapa de potencia, desenergizándose el motor y protegiéndose así tanto el convertidor como el motor. Todos los valores de los componentes son típicos (Anexo E).

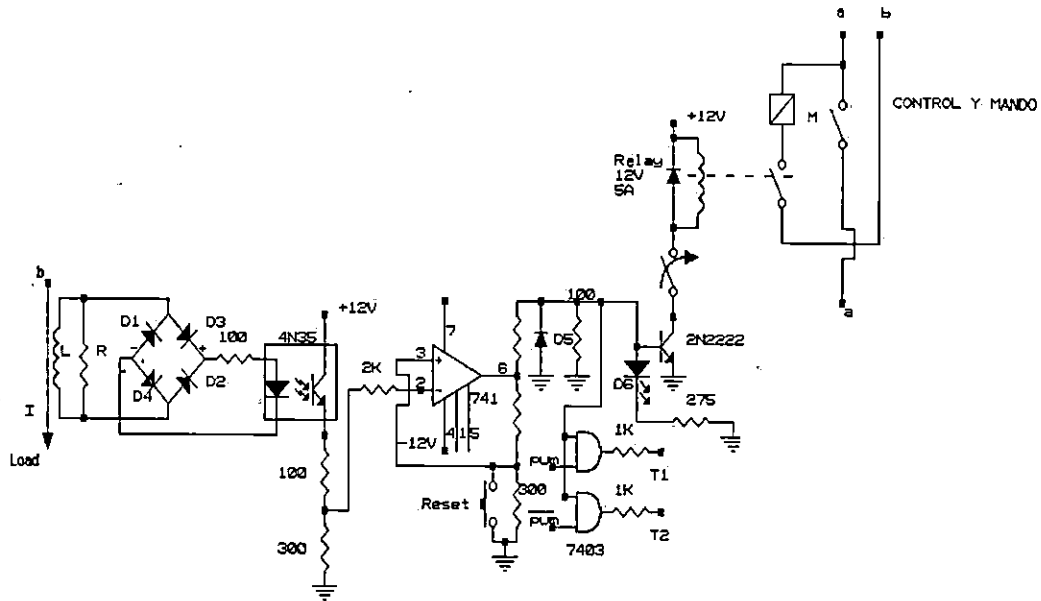


Fig. 3.19. Diagrama que presenta el circuito de protección contra sobrecorriente y de mando.

b) Protecciones en la Conmutación del transistor para dv/dt y di/dt .

Protección contra di/dt

Esta red protege el transistor limitando la velocidad de subida de la corriente colector en el paso de corte a saturación.

La red se sitúa entre el colector y la carga y esta formada por la inductancia L_s en serie con la carga.

Protección contra dv/dt

Esta red se utiliza para limitar la velocidad de tensión de subida de la tensión V_{ce} del transistor en paso de saturación a corte.

La red snubber se sitúa entre el colector y el emisor y esta formada por el condensador (C_s) en serie con la asociación en paralelo de la resistencia (R_s) y el Diodo (D_s). Figura 3.20.

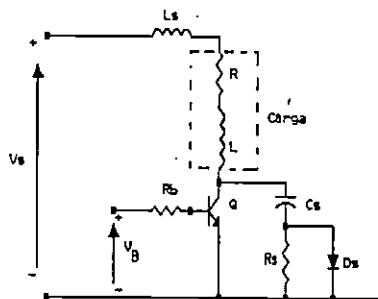


Fig. 3.20. Circuito que presenta las conexión de las protecciones del BJT.

Las ecuaciones para calcular y dimensionar los componentes del circuito de protección dv/dt , di/dt son¹⁶:

$$L_s = \frac{V_s \cdot t_r}{I_L} \quad (3.40)$$

$$C_s = \frac{I_L \cdot t_f}{V_s} \quad (3.41)$$

$$R_s = \frac{1}{3f_s C_s} \quad (3.42)$$

donde:

t_r y t_f = tiempos de subida y bajada de conmutación del transistor Q.

I_L = Corriente nominal de la carga a Manejar

¹⁶ Rashid, Muhammad H. "Electrónica de Potencia, Circuitos Dispositivos y Aplicaciones" Cap. VIII. Pp. 291-293

F_s = Frecuencia de switcheo del inversor
 V_s = Voltaje dc en la fuente (339V)
 D_s = Valor típico de corriente 3Amp. Voltaje en
reversa mínimo el de la fuente.

De ecs. (3.40)-(3.42). Se obtienen los siguientes valores;

$$L_s = 0.34 \mu\text{H}$$

$$C_s = 10.58 \text{ nF}$$

$$R_s = 29.17 \text{ K}\Omega$$

El circuito completo del convertidor Monofásico a Trifásico aparece en la última página del Documento.

3.9 RESULTADOS EXPERIMENTALES DEL CONVERTIDOR MONOFASICO A TRIFASICO.

La Fig. 3.21 presenta las señales de control PWM en técnica SLN1.

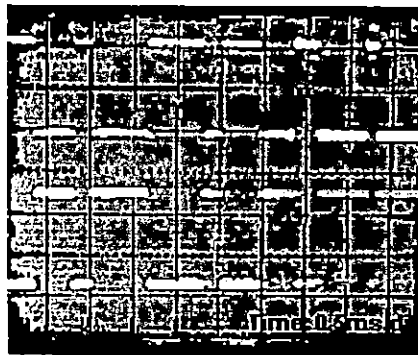
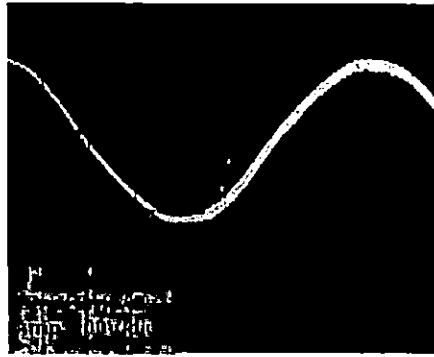
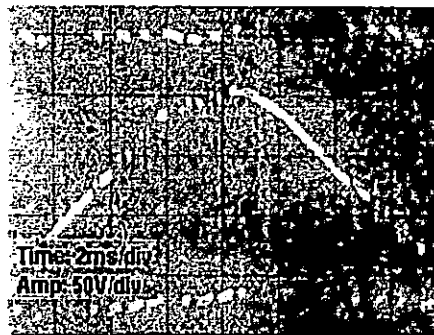


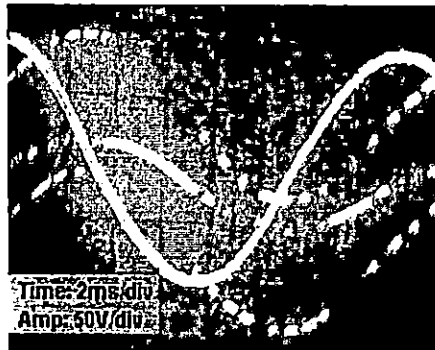
Fig. 3.21 Señales de control de los switch. T1 y T2



(a)



(b)



(c)

Fig. 3.22 Resultados experimentales del convertidor monofásico a trifásico medio puente.¹⁷ (a) Voltaje de salida del inversor. (b) Voltaje de salida del inversor Vbc. (c) Voltaje de salida del inversor Vca y Vbc.

¹⁷ "Economic Single-Phase a Three-Phase Converter Topologies For Fixed and Variable Frequency Output". July 1993.

Voltaje de Desbalance.

Un sistema de voltaje trifásico balanceado permite al motor desarrollar su máxima eficiencia por lo que se requiere que el convertidor monofásico a trifásico cumpla con normas ya establecidas de desbalance, según la National Electrical Manufacturers Association (NEMA) y la Norma MG1. El desbalance permisible debe ser del 4% como máx.

El porcentaje de desbalance (PVU) está definido de la siguiente manera:

$$PVU = 100 \left(\frac{\Delta V_{\text{máx}}}{V_{\text{ave}}} \right) \quad (3.43)$$

Donde:

V_{ave} = es el voltaje promedio aplicado al motor.

$\Delta V_{\text{máx}}$ = Es la máxima desviación del voltaje promedio.

$V_{ab} = 226.5$ Volts

$V_{bc} = 238.0$ Volts

$V_{ca} = 240.0$ Volts

Sustituyendo los valores RMS medidos, en la Ec. 3.43, obtenemos un $PVU = 3.5\%$ (Abajo de la Norma).

Las corrientes obtenidas son:

$I_a = 1.7$ Amp

$I_b = 1.4$ Amp.

$I_c = 1.4$ Amp.

Formas de Onda Experimentales.

A partir de las formas de onda siguientes (Espectro de Frecuencias) se puede observar que el THD está en el rango permisible en porcentaje.

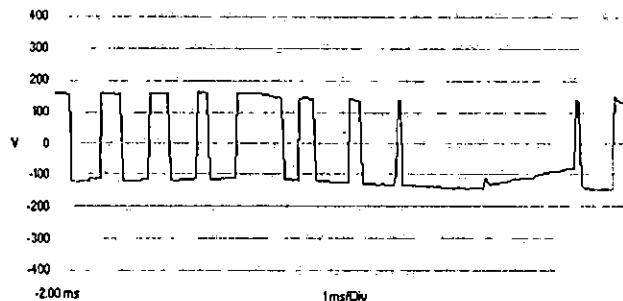
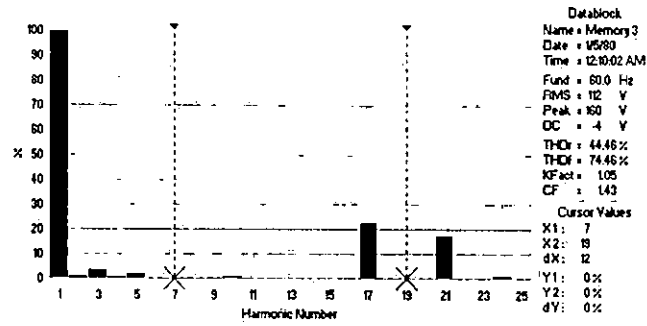
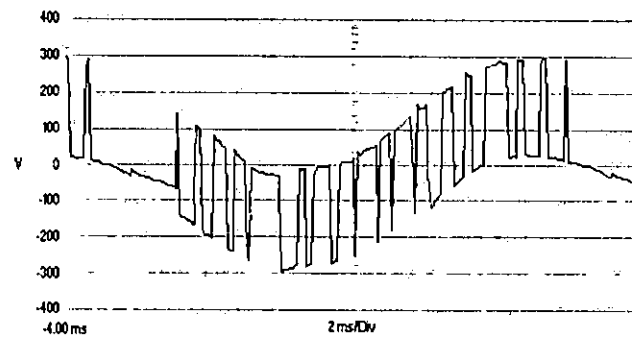


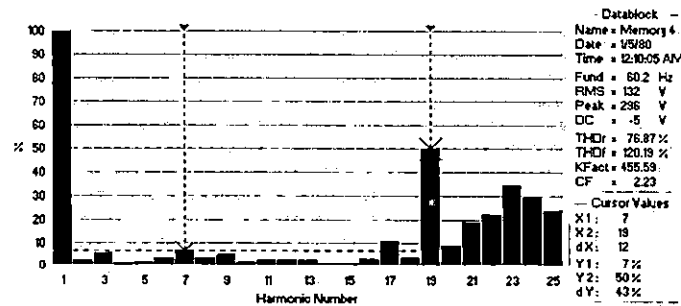
Fig. 3.23. Forma de onda experimental del convertidor monofásico a trifásico, voltaje de línea Vbc.



(a)



(b)

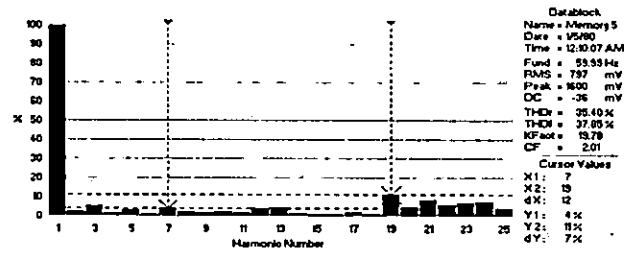


(c)

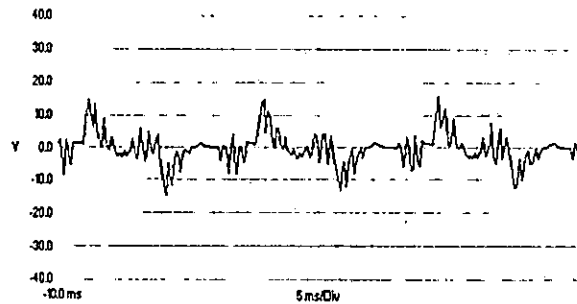
Fig 3.24. Formas de Ondas experimentales del convertidor monofásico a trifásico. (a) Espectro de frecuencias de V_{bc} . (b) Voltaje de línea V_{ca} . (c) Espectro de frecuencias de V_{ca} .



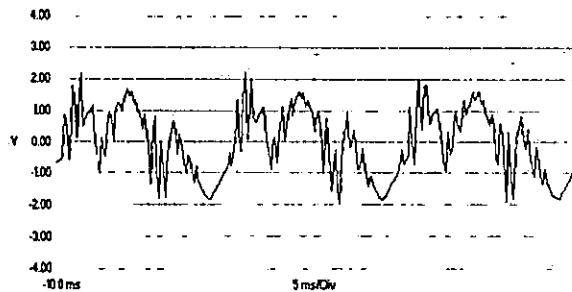
(a)



(b)



(c)



(d)

Fig. 3.25 Formas de onda experimentales del convertidor monofásico a trifásico. (a) Corriente de Salida I_a . (b) Espectro de frecuencias de I_a . (c) Corriente de Salida I_b . (d) Corriente de salida I_c .

3.10 EVALUACION ECONOMICA DEL PROYECTO

El diseño y construcción del prototipo del convertidor monofásico a trifásico ha implicado una serie de costos que ha incluido además los dispositivos malogrados (quemados) en la depuración del diseño específicamente los transistores de potencia. A fin de evaluar los gastos que se hicieron para realizar el prototipo y así garantizar la competitividad se hará una descripción del costo de todos los componentes eléctricos y electrónicos el cual éste está constituido. Es evidente que los costos que implica un prototipo, no son los mismos que genera la producción en serie del mismo sistema, y la razón de ello es que los componentes ya no se compran en forma discreta; sino en grandes volúmenes, y es allí donde probablemente el costo por componente puede disminuir hasta un 30% o más; lo cual hace que también el sistema puede construirse a un costo menor que el valor del prototipo.

Para dar una idea objetiva de los costos directos en la construcción del prototipo del convertidor monofásico a trifásico, se dará un listado del costo que se incurrieron para adquirir los diferentes componentes del sistema. La presentación se dará por cada etapa de la que se compone el convertidor incluyendo la cantidad de componentes, el precio unitario, el sub-total y total por etapa.

a) Etapa de Potencia. (Rectificador-Inversor)

| CANTIDAD | P.U. (¢) | Sub-TOTAL (¢) |
|-------------------------|----------|-----------------|
| 1 BJT EVK-050 | 350.00 | 350.00 |
| 2 Diodos ECG 5966 | 25.00 | 50.00 |
| 2 Cap. DC | 40.00 | 80.00 |
| 1 Capacitor AC MRC70V10 | 40.00 | 40.00 |
| 1 Inductor | 30.00 | 30.00 |
| | | <u>¢ 550.00</u> |

b) Circuito de Control.

| CANTIDAD | P.U. (¢) | Sub-TOTAL (¢) |
|----------------------|----------|---------------|
| 1 IC 4046 | 15.00 | 15.00 |
| 2 IC 4040 | 13.00 | 26.00 |
| 1 IC 4098B | 13.00 | 13.00 |
| 1 IC 4042 | 12.00 | 12.00 |
| 1 IC 4069 | 7.00 | 7.00 |
| 1 IC 2732A | 70.00 | 70.00 |
| 1 IC LM311 | 15.00 | 15.00 |
| 1 IC LM301 | 15.00 | 15.00 |
| 1 IC 4N35 | 10.00 | 10.00 |
| 1 Pot. 200K Ω | 7.00 | 7.00 |

| | | |
|----------------------------|------|-------------|
| 13 Resistencias de ¼ Watt. | 0.20 | 2.60 |
| 5 Capacitores | 1.0 | <u>5.00</u> |
| | | ¢197.00 |

c) **Circuito Interfase de Acoplo.**

| CANTIDAD | P.U. (¢) | Sub-TOTAL (¢) |
|----------------------------|----------|---------------|
| 4 Transistores ECG | 7.00 | 28.00 |
| 2 Transistores ECG 127 | 7.00 | 14.00 |
| 4 Diodos ECG 116 | 3.00 | 12.00 |
| 2 Transformadores de Pulso | 10.00 | 20.00 |
| 2 Resistencias de ceramica | 5.00 | 10.00 |
| 8 Resistencias de ¼ Watt. | 0.20 | <u>1.60</u> |
| | | ¢85.60 |

d) **Protecciones y Control.**

| CANTIDAD | P.U. (¢) | Sub-TOTAL (¢) |
|----------------------------|----------|---------------|
| 1 IC 4N35 | 10.00 | 10.00 |
| 1 Transistor 2N2222 | 7.00 | 7.00 |
| 1 IC µ741 | 10.00 | 7.00 |
| 1 LED | 2.00 | 2.00 |
| 1 Switch NO | 7.00 | 7.00 |
| 1 IC 7408 | 7.00 | 7.00 |
| 5 Diodos ECG519 | 2.00 | 10.00 |
| 12 Resistencias de ¼ Watt. | 0.20 | 2.40 |
| 1 Relay 24V 12A. | 50.00 | 50.00 |
| 4 Fusibles 10Amp. | 1.25 | 5.00 |
| 4 Portafusibles | 7.50 | 30.00 |
| 1 Bobina sensora | 5.00 | 5.00 |
| 2 bobinas | 5.00 | 10.00 |
| 2 Diodos ECG5842 | 8.00 | 8.00 |
| 2 Capacitores | 5.00 | 10.00 |
| 4 Resistencias ½ W. | 0.50 | <u>2.00</u> |
| | | ¢ 172.00 |

Otros: ¢ 250.00

Aquí se han incluido los costos de impresos, estaño, fuentes, case, conductor y otros accesorios.

No se ha incluido específicamente los gastos de mano de obra diseño y papelería. El costo aproximado es ¢ 1254.60.

CONCLUSIONES.

- La utilización de transistores empaquetados en módulos para aplicaciones de switcheo minimizan la complejidad y el espacio requerido para el montaje de la etapa de potencia. Como también sus características eléctricas son ampliamente mejoradas debido a este arreglo.
- La utilización de un índice de modulación (m) igual a 1, 9 instantes de switcheo (N), y un desfase $\alpha = 60^\circ$, entre V_i y la señal PWM, de control garantiza la ley de las tres fases (desfase de voltajes de línea de 120°), y un desbalance del 4% teórico entre voltajes de línea.
- La topología de circuito convertidor monofásica a trifásica seleccionada es muy económica y garantiza la calidad de voltaje de salida, debido a la técnica programada PWM utilizada.
- La técnica programada PWM a utilizar para manejar el circuito de potencia del circuito convertidor monofásico trifásico es la SLN1, ya que en general; es la técnica que se aplica para los inversores monofásicos medio puente.
- La forma de onda PWM a la salida del inversor se obtiene a partir de la generación de las señales de control de los switch, que corresponden en determinados instantes de tiempo lo cual son generados por el control del timer en pines de salida del Puerto A de la Unidad Microntrroladora, y también se encuentran almacenados en la UV-EPROM como alternativa económica.

CONCLUSIONES GENERALES

Para asegurar el buen funcionamiento y protección del circuito convertidor monofásico a trifásico, se deben hacer etapas de protección; para el módulo de transistores utilizado debido a su sensibilidad de sobrecorriente y además para el circuito en general.

Los resultados experimentales obtenidos del circuito convertidor monofásico a trifásico vistos en el osciloscopio, son las formas de onda de los resultados experimentales que se presentan en el paper Economic Single-Phase to Three-Phase Converter For Fixed and Variable Frequency, para un convertidor monofásico a trifásico medio puente.

Para manejar un motor trifásico a 220V, y si sólo se dispone de una fuente principal ac de 120V o 220V (Vab); La mejor solución es la construcción de un convertidor monofásico a trifásico. En nuestro diseño se hizo uso de un transformador trifásico 120-240V ya que los transistores de potencia no soportan el voltaje de 220V.

Una manera de eliminar el desbalance en magnitud del convertidor monofásico a trifásico es eliminando la sobremodulación por medio del software, es decir haciendo algunos pulsos de la técnica PWM igual a cero, ya que el voltaje generado por el convertidor es bastante alto debido a está sobremodulación.

El prototipo del circuito convertidor monofásico a trifásico realizado desplaza la mayoría de los convertidores en plaza, debido a su bajo costo y alta calidad de voltaje de salida trifásica con su respectivo desbalance de fase igual a 120° E. Establecidos en el patrón PWM.

RECOMENDACIONES GENERALES

El prototipo de Convertidor Monofásico a Trifásico construido, únicamente opera a un nivel de voltaje de 120VAC de fuente de alimentación, ya que las características eléctricas de los semiconductores utilizados es hasta 500VDC. Es decir, que éste prototipo por configuración medio puente para una alimentación de 240VAC requeriría entre CE del BJT un voltaje de 680VDC. El motor de 1HP 240V se ha arrancado a partir de un acople de tres transformadores monofásicos 120V/240V 1.5KVA, delta-delta y a tensión reducida, para limitar la corriente en el dispositivo en el arranque del motor ya que la corriente pico se aproxima al límite de corriente del BJT (50Amp).

Estos inconvenientes pueden resolverse fácilmente por sólo la sustitución de un dispositivo de mayor voltaje 1000V. La corriente de 50 Amp. se mantiene ya que a 240V la corriente disminuye la mitad. Con respecto a 120V.

En el Capítulo I, se dan varias topologías de convertidores de monofásico a trifásico, las cuales pueden ser implementadas convenientemente cada una de ellas, con los mismos procedimientos y técnicas que se han utilizado en éste trabajo con diferencias tales como: número de componentes según Tabla 1.2 y Técnicas PWM's según Fig. 2.2. y Tabla 2.1.

El prototipo cumple la norma de desbalance de voltaje en condiciones nominales de carga, por lo que en vacío se apreciará un desbalance, lo cual se soluciona con el uso de la topología 1.6(a). Dicha topología no se implementó debido a la no-disponibilidad en el país de otro módulo de BJT (EVK31-050) y por los factores económicos y de tiempo, ya que en el desarrollo del prototipo se quemaron varios de estos módulos.

REFERENCIAS BIBLIOGRÁFICAS.

Enjeti, N. Prasad; Rahman, Ashek; and Jakkli, Ranjit. "Economic Single-Phase to Three-Phase Converter Topologies for Fixed and Variable Frequency Output". IEEE Transactions on Power Electronics. Vol. 8. No. 3, July 1993. pp. 329-335.

Enjeti, N. Prasad; and Rahman, Ashek. "A New Single-Phase to Three-Phase Converter with Active Input Current Shaping for Low Cost ac Motor Drives". IEEE Transactions on Industry Applications. Vol. 29, No. 4, July-August 1993. pp. 806-813.

Enjeti, N. Prasad; Ziogas, D. Phoivos; and Lindsay F. James. "Programmed PWM Technique to Eliminate Harmonics: A Critical Evaluation". IEEE Transactions on Industry Applications. Vol. 26. No. 2. March/April 1990. pp. 302-315.

Addowesh, E. Khaled; Shepherd, William; and Hulley L. N. "Induction Motor Speed Control Using Microprocessor Based PWM Inverter". IEEE Transactions on Industrial Electronics, Vol 36, No. 4. November 1989. pp. 516-522.

Yris, Juan Carlos; Calleja, Hugo. "Calculated Performance of ac Motors in a Single Phase to Three-Phase Converter Application" IEEE International Power Electronics Congress Proceeding Technical Proceedings. Cuernavaca, México, October 14-17, 1996. pp 156-159.

Rashid, Muhammad H. Electronica de Potencia, Circuitos Dispositivos y Aplicaciones. Prentice Hall Hispanoamerica 1995. Capítulo VIII. pp. 291-298.

Bowes, R. Sidney; Clark R. Paul. "Simple Microprocessor Implementation of New Regular-Sampled Harmonics Elimination PWM Techniques". IEEE Transactions on Industry Applications Vol. 28, No. 1. January/February 1992. pp. 89-95.

Coughlin, Robert F.; Driscoll, Frederick F. "Circuitos Integrados Lineales y Amplificadores Operacionales" Prentice Hall Hispanoamericana S.A. Segunda Edición Revisada. Cap. 5 pp. 93-95.

Vadivel, S.; Bhuvaneshwari, G.; Sridhars, Rao. "A Unified Approach to the Real-Time Implementation of Microprocessor-Based PWM Waveforms". Transactions on Power Electronics. Vol. 6. No. 4. October 1991. pp. 565-575.

Gualda, J. A.; Martínez, S.; Martínez, P.M. "Electrónica

Industrial de Potencia: Técnicas de Potencia. Alfaomega Grupo Editor S.A. de C.V., 1995.

MOTOROLA "M68HC11 REFERENCE MANUAL". Previous Edition 1992.

ECG. Semiconductors Master Replacement Guide. 17TH Edition 1996.

Faulkenberry, Lucas M. "Introducción a los Amplificadores Operacionales con Aplicaciones ACI Lineales". Editorial Limusa 2^a. Edición. 1992

Martínez Calderón, Armando. "Diseño y Construcción de Controles de Velocidad de Estado Sólido para Motores de Inducción" Trabajo de Graduación. UES. 1986.

Clímaco Cortez, René Naúm "Diseño y Construcción de un Controlados de Velocidad de Estado Sólido para Motores de Corriente Directa. Tipo Serie" Trabajo de Graduación. UES. 1993.

IEEE. "Recomended Practice For Electric Power Systems in Comercial Building". 1995.

ANEXOS .



ANEXO A

Product Index (cont'd)

| ECG No. | Page No. | Fig. No. | Description |
|---------|----------|----------|--|
| 5809 | 1-118 | Z18A | R-1000 PRV, 3 A, Axial Lead |
| 5812 | 1-118 | Z26 | R-100 PRV, 6 A/22 A, Axial Lead |
| 5814 | 1-118 | Z26 | R-400 PRV, 6 A/22 A, Axial Lead |
| 5815 | 1-118 | Z26 | R-600 PRV, 6 A/22 A, Axial Lead |
| 5817 | 1-118 | Z26 | R-1000 PRV, 6 A/22 A, Axial Lead |
| 5818 | 1-120 | Z19 | R-200 PRV, 12 A, 200 ns, Cath Case |
| 5819 | 1-120 | Z19 | R-200 PRV, 12 A, 200 ns, Anode Case |
| 5820 | 1-120 | Z19 | R-400 PRV, 12 A, 200 ns, Cath Case |
| 5821 | 1-120 | Z19 | R-400 PRV, 12 A, 200 ns, Anode Case |
| 5822 | 1-120 | Z19 | R-600 PRV, 12 A, 200 ns, Cath Case |
| 5823 | 1-120 | Z19 | R-600 PRV, 12 A, 200 ns, Anode Case |
| 5824 | 1-120 | Z19 | R-1000 PRV, 12 A, 500 ns, Cath Case |
| 5825 | 1-120 | Z19 | R-1000 PRV, 12 A, 500 ns, Anode Case |
| 5826 | 1-119 | Z28 | R-400 PRV, 50 A, Cath Case, Press Fit - Disc. |
| 5827 | 1-119 | Z28 | R-400 PRV, 50 A, Anode Case, Press Fit |
| 5828 | 1-119 | Z28 | R-800 PRV, 50 A, Cath Case, Press Fit |
| 5829 | — | Z28 | R-800 PRV, 50 A, Anode Case, Press Fit - Disc. |
| 5830 | 1-118 | Z19 | R-50 PRV, 3 A, Cath Case |
| 5831 | 1-118 | Z19 | R-50 PRV, 3 A, Anode Case |
| 5834 | 1-118 | Z19 | R-200 PRV, 3 A, Cath Case |
| 5835 | 1-118 | Z19 | R-200 PRV, 3 A, Anode Case |
| 5838 | 1-118 | Z19 | R-400 PRV, 3 A, Cath Case |
| 5839 | 1-118 | Z19 | R-400 PRV, 3 A, Anode Case |
| 5842 | 1-118 | Z19 | R-600 PRV, 3 A, Cath Case |
| 5843 | 1-118 | Z19 | R-600 PRV, 3 A, Anode Case |
| 5846 | 1-118 | Z19 | R-800 PRV, 3 A, Cath Case |
| 5847 | 1-118 | Z19 | R-800 PRV, 3 A, Anode Case |
| 5848 | 1-118 | Z19 | R-1000 PRV, 3 A, Cath Case |
| 5849 | 1-118 | Z19 | R-1000 PRV, 3 A, Anode Case |
| 5850 | 1-118 | Z19 | R-50 PRV, 6 A, Cath Case |
| 5851 | 1-118 | Z19 | R-50 PRV, 6 A, Anode Case |
| 5854 | 1-118 | Z19 | R-200 PRV, 6 A, Cath Case |
| 5855 | 1-118 | Z19 | R-200 PRV, 6 A, Anode Case |
| 5858 | 1-118 | Z19 | R-400 PRV, 6 A, Cath Case |
| 5859 | 1-118 | Z19 | R-400 PRV, 6 A, Anode Case |
| 5862 | 1-118 | Z19 | R-600 PRV, 6 A, Cath Case |
| 5863 | 1-118 | Z19 | R-600 PRV, 6 A, Anode Case |
| 5866 | 1-118 | Z19 | R-800 PRV, 6 A, Cath Case |
| 5867 | 1-118 | Z19 | R-800 PRV, 6 A, Anode Case |
| 5868 | 1-118 | Z19 | R-1000 PRV, 6 A, Cath Case |
| 5869 | 1-118 | Z19 | R-1000 PRV, 6 A, Anode Case |
| 5870 | 1-118 | Z19 | R-50 PRV, 12 A, Cath Case |
| 5871 | 1-118 | Z19 | R-50 PRV, 12 A, Anode Case |
| 5874 | 1-118 | Z19 | R-200 PRV, 12 A, Cath Case |
| 5875 | 1-118 | Z19 | R-200 PRV, 12 A, Anode Case |
| 5878 | 1-118 | Z19 | R-400 PRV, 12 A, Cath Case |
| 5879 | 1-118 | Z19 | R-400 PRV, 12 A, Anode Case |
| 5882 | 1-118 | Z19 | R-600 PRV, 12 A, Cath Case |
| 5883 | 1-118 | Z19 | R-600 PRV, 12 A, Anode Case |
| 5886 | 1-118 | Z19 | R-800 PRV, 12 A, Cath Case |
| 5887 | 1-118 | Z19 | R-800 PRV, 12 A, Anode Case |
| 5890 | 1-118 | Z19 | R-1000 PRV, 12 A, Cath Case |
| 5891 | 1-118 | Z19 | R-1000 PRV, 12 A, Anode Case |
| 5892 | 1-118 | Z19 | R-50 PRV, 16 A, Cath Case |
| 5893 | 1-118 | Z19 | R-50 PRV, 16 A, Anode Case |
| 5896 | 1-118 | Z19 | R-200 PRV, 16 A, Cath Case |
| 5897 | 1-118 | Z19 | R-200 PRV, 16 A, Anode Case |
| 5900 | 1-118 | Z19 | R-400 PRV, 16 A, Cath Case |
| 5901 | 1-118 | Z19 | R-400 PRV, 16 A, Anode Case |
| 5904 | 1-118 | Z19 | R-600 PRV, 16 A, Cath Case |
| 5905 | 1-118 | Z19 | R-600 PRV, 16 A, Anode Case |
| 5908 | 1-118 | Z19 | R-800 PRV, 16 A, Cath Case |
| 5909 | 1-118 | Z19 | R-800 PRV, 16 A, Anode Case |
| 5910 | 1-118 | Z19 | R-1000 PRV, 16 A, Cath Case |
| 5911 | 1-118 | Z19 | R-1000 PRV, 16 A, Anode Case |
| 5912 | 1-118 | Z19 | R-50 PRV, 20 A, Cath Case |
| 5913 | 1-118 | Z19 | R-50 PRV, 20 A, Anode Case |
| 5916 | 1-118 | Z19 | R-200 PRV, 20 A, Cath Case |
| 5917 | 1-118 | Z19 | R-200 PRV, 20 A, Anode Case |
| 5920 | 1-118 | Z19 | R-400 PRV, 20 A, Cath Case |
| 5921 | 1-118 | Z19 | R-400 PRV, 20 A, Anode Case |
| 5924 | 1-118 | Z19 | R-600 PRV, 20 A, Cath Case |
| 5925 | 1-118 | Z19 | R-600 PRV, 20 A, Anode Case |
| 5928 | 1-118 | Z19 | R-800 PRV, 20 A, Cath Case |
| 5929 | 1-118 | Z19 | R-800 PRV, 20 A, Anode Case |
| 5932 | 1-118 | Z19 | R-1000 PRV, 20 A, Cath Case |
| 5933 | 1-118 | Z19 | R-1000 PRV, 20 A, Anode Case |
| 5940 | 1-118 | Z20 | R-50 PRV, 15 A, Cath Case |
| 5941 | 1-118 | Z20 | R-50 PRV, 15 A, Anode Case |
| 5944 | 1-118 | Z20 | R-200 PRV, 15 A, Cath Case |
| 5945 | 1-118 | Z20 | R-200 PRV, 15 A, Anode Case |
| 5948 | 1-118 | Z20 | R-400 PRV, 15 A, Cath Case |
| 5949 | 1-118 | Z20 | R-400 PRV, 15 A, Anode Case |
| 5952 | 1-118 | Z20 | R-600 PRV, 15 A, Cath Case |
| 5953 | 1-118 | Z20 | R-600 PRV, 15 A, Anode Case |
| 5962 | 1-118 | Z27 | R-400 PRV, 25 A, Cath Case, Press Fit |
| 5963 | 1-118 | Z27 | R-400 PRV, 25 A, Anode Case, Press Fit |
| 5966 | 1-118 | Z27 | R-800 PRV, 25 A, Cath Case, Press Fit |
| 5987 | 1-118 | Z27 | R-800 PRV, 25 A, Anode Case, Press Fit |
| 5980 | 1-119 | Z20 | R-50 PRV, 40 A, Cath Case |
| 5981 | 1-119 | Z20 | R-50 PRV, 40 A, Anode Case |
| 5982 | 1-119 | Z20 | R-100 PRV, 40 A, Cath Case |
| 5983 | 1-119 | Z20 | R-100 PRV, 40 A, Anode Case |
| 5986 | 1-119 | Z20 | R-200 PRV, 40 A, Cath Case |
| 5987 | 1-119 | Z20 | R-200 PRV, 40 A, Anode Case |
| 5988 | 1-119 | Z20 | R-300 PRV, 40 A, Cath Case |
| 5989 | 1-119 | Z20 | R-300 PRV, 40 A, Anode Case |
| 5990 | 1-119 | Z20 | R-400 PRV, 40 A, Cath Case |
| 5991 | 1-119 | Z20 | R-400 PRV, 40 A, Anode Case |
| 5992 | 1-119 | Z20 | R-500 PRV, 40 A, Cath Case |
| 5993 | 1-119 | Z20 | R-500 PRV, 40 A, Anode Case |
| 5994 | 1-119 | Z20 | R-600 PRV, 40 A, Cath Case |
| 5995 | 1-119 | Z20 | R-600 PRV, 40 A, Anode Case |
| 5999 | 1-119 | Z20 | R-800 PRV, 40 A, Cath Case |
| 5999 | 1-119 | Z20 | R-800 PRV, 40 A, Anode Case |
| 6002 | 1-119 | Z20 | R-1000 PRV, 40 A, Cath Case |
| 6003 | 1-119 | Z20 | R-1000 PRV, 40 A, Anode Case |
| 6004 | 1-119 | Z20 | R-1600 PRV, 40 A, Cath Case |
| 6005 | 1-119 | Z20 | R-1600 PRV, 40 A, Anode Case |
| 6006 | 1-120 | Z20 | R-200 PRV, 40 A, 200 ns, Cath Case, Fast Recovery |
| 6007 | 1-120 | Z20 | R-200 PRV, 40 A, 200 ns, Anode Case, Fast Recovery |
| 6008 | 1-120 | Z20 | R-400 PRV, 40 A, 200 ns, Cath Case, Fast Recovery |
| 6009 | 1-120 | Z20 | R-400 PRV, 40 A, 200 ns, Anode Case, Fast Recovery |
| 6010 | 1-120 | Z20 | R-600 PRV, 40 A, 200 ns, Cath Case, Fast Recovery |
| 6011 | 1-120 | Z20 | R-600 PRV, 40 A, 200 ns, Anode Case, Fast Recovery |
| 6013 | 1-118 | Z41B | R-600 PRV, 12 A, Isolated Tab |
| 6020 | 1-119 | Z20 | R-50 PRV, 60 A, Cath Case |
| 6021 | 1-119 | Z20 | R-50 PRV, 60 A, Anode Case |
| 6022 | 1-119 | Z20 | R-100 PRV, 60 A, Cath Case |
| 6023 | 1-119 | Z20 | R-100 PRV, 60 A, Anode Case |
| 6026 | 1-119 | Z20 | R-200 PRV, 60 A, Cath Case |
| 6027 | 1-119 | Z20 | R-200 PRV, 60 A, Anode Case |
| 6032 | 1-120 | Z20 | R-1000 PRV, 40 A, 500ns, Cath Case, Fast Recovery |
| 6033 | 1-120 | Z20 | R-1000 PRV, 40 A, 500ns, Anode Case, Fast Recovery |
| 6034 | 1-119 | Z20 | R-400 PRV, 60 A, Cath Case |
| 6035 | 1-119 | Z20 | R-400 PRV, 60 A, Anode Case |
| 6036 | 1-120 | Z20 | R-600 PRV, 85 A, 200ns, Cath Case, Fast Recovery |
| 6037 | 1-120 | Z20 | R-600 PRV, 85 A, 200ns, Anode Case, Fast Recovery |
| 6040 | 1-119 | Z20 | R-600 PRV, 60 A, Cath Case |
| 6041 | 1-119 | Z20 | R-600 PRV, 60 A, Anode Case |
| 6042 | 1-119 | Z20 | R-800 PRV, 60 A, Cath Case |
| 6043 | 1-119 | Z20 | R-800 PRV, 60 A, Anode Case |
| 6044 | 1-119 | Z20 | R-1000 PRV, 60 A, Cath Case |
| 6045 | 1-119 | Z20 | R-1000 PRV, 60 A, Anode Case |
| 6046 | 1-120 | Z20 | R-1000 PRV, 85 A, 500ns, Cath Case, Fast Recovery |
| 6047 | 1-120 | Z20 | R-1000 PRV, 85 A, 500ns, Anode Case, Fast Recovery |
| 6048 | 1-119 | Z20 | R-50 PRV, 70 A, Cath Case |
| 6049 | 1-119 | Z20 | R-50 PRV, 70 A, Anode Case |
| 6050 | 1-119 | Z20 | R-100 PRV, 70 A, Cath Case |
| 6051 | 1-119 | Z20 | R-100 PRV, 70 A, Anode Case |
| 6054 | 1-119 | Z20 | R-200 PRV, 70 A, Cath Case |
| 6055 | 1-119 | Z20 | R-200 PRV, 70 A, Anode Case |
| 6060 | 1-119 | Z20 | R-400 PRV, 70 A, Cath Case |
| 6061 | 1-119 | Z20 | R-400 PRV, 70 A, Anode Case |
| 6064 | 1-119 | Z20 | R-600 PRV, 70 A, Cath Case |
| 6065 | 1-119 | Z20 | R-600 PRV, 70 A, Anode Case |
| 6068 | 1-119 | Z20 | R-800 PRV, 70 A, Cath Case |
| 6069 | 1-119 | Z20 | R-800 PRV, 70 A, Anode Case |
| 6070 | 1-119 | Z20 | R-1600 PRV, 85 A, Cath Case |
| 6071 | 1-119 | Z20 | R-1600 PRV, 85 A, Anode Case |
| 6072 | 1-119 | Z20 | R-1000 PRV, 70 A, Cath Case |
| 6073 | 1-119 | Z20 | R-1000 PRV, 70 A, Anode Case |
| 6074 | 1-119 | Z20 | R-200 PRV, 85 A, Cath Case |
| 6075 | 1-119 | Z20 | R-200 PRV, 85 A, Anode Case |
| 6076 | 1-119 | Z20 | R-600 PRV, 85 A, Cath Case |
| 6077 | 1-119 | Z20 | R-600 PRV, 85 A, Anode Case |
| 6078 | 1-119 | Z20 | R-1200 PRV, 85 A, Cath Case |
| 6079 | 1-119 | Z20 | R-1200 PRV, 85 A, Anode Case |
| 6080 | 1-121 | Z41A | R-Schottky Barrier, 60 V, 10 A |
| 6081 | 1-121 | Z41A | R-Schottky Barrier, 45 V, 16 A |
| 6082 | 1-121 | Z41A | R-Schottky Barrier, 60 V, 16 A |
| 6083 | 1-121 | Z41A | R-Schottky Barrier, 45 V, 10 A |
| 6084 | 1-121 | Z19 | R-Schottky Barrier Rect, 45 PRV, 35 A, Cath Case |
| 6085 | 1-121 | Z41B | R-Dual Schottky Barrier, 40 V PRV, 12 A, Common Cathode |
| 6086 | 1-121 | Z41B | R-Dual Schottky Barrier, 100 V PRV, 20 A, Common Cathode |
| 6087 | 1-121 | Z41B | R-Dual Schottky Barrier, 45 V PRV, 30 A, Common Cathode |
| 6088 | 1-121 | Z41B | R-Dual Schottky Barrier, 60 V PRV, 30 A, Common Cathode |
| 6090 | 1-121 | Z41C | R-Dual Schottky Barrier, 45 V PRV, 30 A, Common Cathode |
| 6091 | 1-121 | Z70A | R-Dual Schottky Barrier, 45 V PRV, 40 A, Common Cathode |
| 6092 | 1-121 | Z70A | R-Dual Schottky Barrier, 60 V PRV, 40 A, Common Cathode |

ECG448A

Fig. AH19

Heat Sink for 1.65" Dia. and 2.29" Dia. Hockey Puck Packages, $R\theta = .5^{\circ}\text{C}/\text{W}$, Package Mount .128 (3.25) Dia., Thru Chamfer 1.87 (4.75) Dia., .031 (.762) Deep Mounting Clamp Holes .437" (11.07) Dia. 2.75" (69.8) C_L to C_L

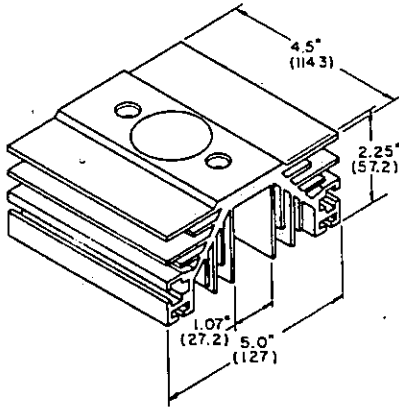
**ECG446C**

Fig. AH20

Heat Sink for 2.90" Dia. Hockey Puck Packages, $R\theta = .24^{\circ}\text{C}/\text{W}$ Package Mount .128 (3.25) Dia., Thru Chamfer 1.87 (4.75) Dia., .031 (.762) Deep Mounting Clamp Holes .437" (11.07) Dia. 4.0" (101.6) C_L to C_L

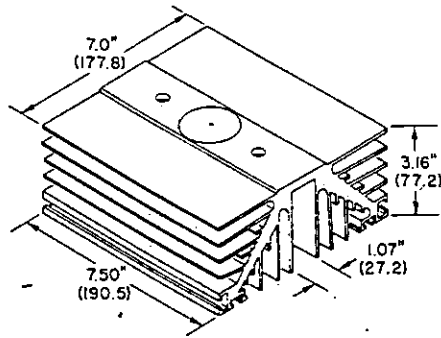
**ECG447A, ECG447B***

Fig. AH21

Heat Sink Clamp Assembly for ECG446A

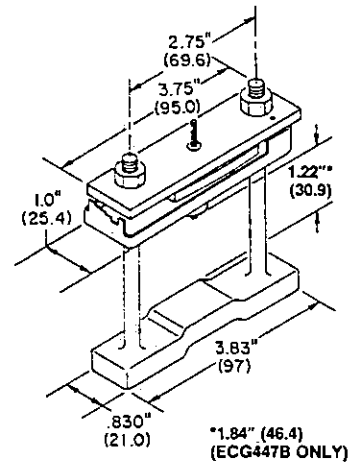
**ECG447C**

Fig. AH22

Heat Sink Clamp Assembly for ECG446C

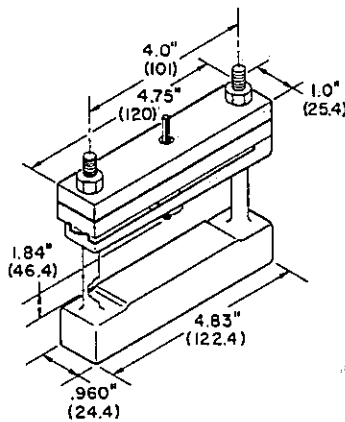
**ECG448B**

Fig. AH23

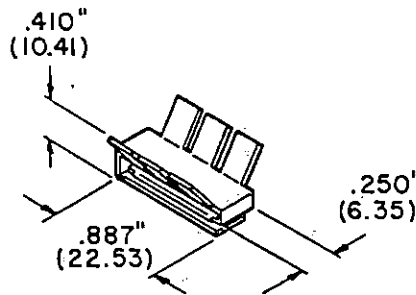
Heat Sink for 14/16-Pin DIP, $R\theta = 20^{\circ}\text{C}/\text{W}$ **ECG448E**

Fig. AH24

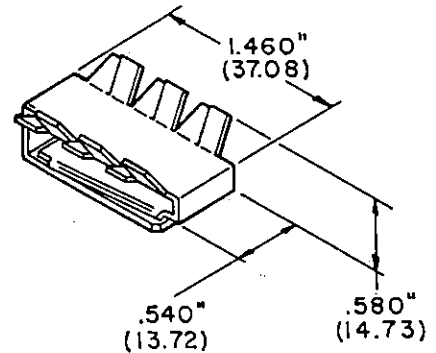
Heat Sink for 24-Pin DIP, $R\theta = 20^{\circ}\text{C}/\text{W}$ **ECG448G**

Fig. AH25

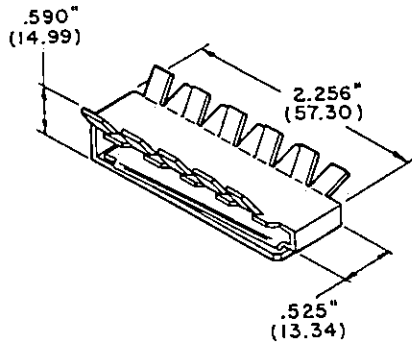
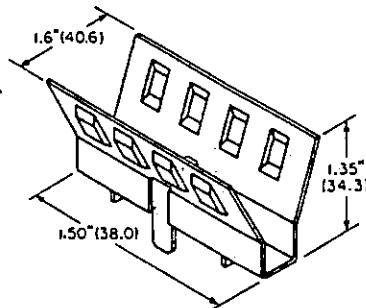
Heat Sink for 40-Pin DIP, $R\theta = 18^{\circ}\text{C}/\text{W}$ **ECG450A**

Fig. AH26

Heat Sink for:
ECG740A
ECG804
ECG810A
ECG862
ECG990
 $R\theta = 14^{\circ}\text{C}/\text{W}$



ANEXO B



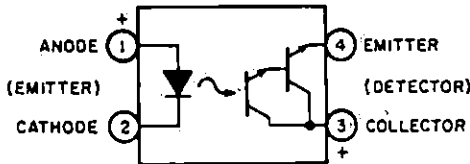
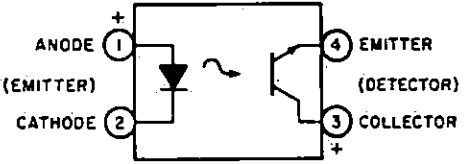
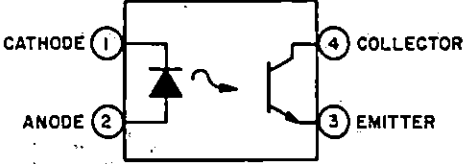
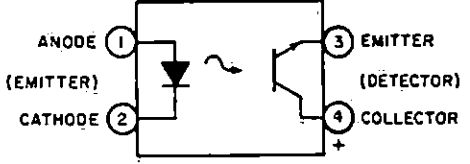
| ECG Type | Description and Application | Collector To Base Volts BV _{CB0} | Collector To Emitter Volts BV _{CE0} | Base to Emitter Volts BV _{EB0} | Max. Collector Current I _C Ampe | Max. Device Diss. PD Watts | Freq. In MHz f _t | Current Gain h _{FE} | Package | |
|---------------------|--|---|--|---|--|--|-----------------------------|------------------------------|----------|----------|
| | | | | | | | | | Case | Fig. No. |
| ECG324 | NPN-Si, AF Pwr Amp (Compl to ECG323) | 120 | 100 | 5 | 2 | 1 (T _A = 25°C) | 50 | 50 min | TO-39 | T6 |
| ECG325 | NPN-Si, RF PO, 14-30 MHz, 50 W | 40 | 20 | 4 | 7.5 | 115 | --- | --- | RF-38S | T53 |
| ECG326 | See FET Selector Guide Page 1-57 | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ECG327 | NPN-Si, Pwr Amp, Sw, t _f = 250 nsec | 180 | 150 | 6 | 25 | 200 | 40 | 30 min 120 max | TO-3 | T28 |
| ECG328 | NPN-Si, Pwr Amp, Sw | 150 | 130 | 7 | 15 | 140 | 60 | 12 min 100 max | TO-3 | T28 |
| ECG329 | NPN-Si, RF Pwr Amp (P _o 3.5 W min, 27 MHz) | 60 | 30 | 2.5 | 1.5 peak | 5 | --- | --- | TO-39 | T6 |
| ECG330, W | PNP-Ge, Fast Pwr Sw | --- | 40 | 1.4 | 25 | 170 | --- | 12 typ | TO-36 | T29 |
| ECG331 ECG331MP* | NPN-Si, AF PO, Reg, Sw (Compl to ECG332) | 100 | 100 | 5 | 15 | 90 | 3 min | 40 typ | TO-220 | T41 |
| ECG332 ECG332MCP | PNP-Si, AF PO, Reg, Sw (Compl to ECG331) Matched Compl Pair-Contains one each ECG331 (NPN) and ECG332 (PNP) | 100 | 100 | 5 | 15 | 90 | 3 min | 40 typ | TO-220 | T41 |
| ECG333 | NPN-Si, RF PO, 14-30 MHz, 60 W | 36 (CES) | 18 | 4 | 15 | 175 | --- | 10 min | RF-38F | T57 |
| ECG334 | NPN-Si, RF PO, 14-30 MHz, 60 W | 36 (CES) | 18 | 4 | 15 | 175 | --- | 10 min | RF-38S | T53 |
| ECG335 | NPN-Si, RF PO, 14-30 MHz, 80 W | 45 | 25 | 4 | 20 | 250 | --- | 10 min | RF-50F | T58 |
| ECG336 | NPN-Si, RF PO, 14-30 MHz, 80 W | 45 | 25 | 4 | 20 | 250 | --- | 10 min | RF-50S10 | T54 |
| ECG337 | NPN-Si, RF Driver, 27-50 MHz, 8 W | 36 | 18 | 4 | 2 | 20 | --- | 5 min | RF-38S | T53 |
| ECG338 | NPN-Si, RF Driver & Output, 27-50 MHz, 20 W | 48 | 24 | 4 | 3.5 | 50 | --- | 15 typ | RF-38S | T53 |
| ECG338F | NPN-Si, RF Driver & Output, 27-50 MHz, 20 W | 36 | 18 | 4 | 4.5 | 80 | --- | 10 min | RF-38F | T57 |
| ECG339 | NPN-Si, RF PO, 27-50 MHz, 40 W | 48 | 24 | 4 | 7 | 100 | --- | 3 min | RF-50S10 | T54 |
| ECG340 | NPN-Si, RF PO, Driver, 136-174 MHz, 600 mW | 36 | 18 | 4 | .5 | .750 (T _A = 25°C) | --- | 70 typ | T-16 | T20 |
| ECG341 | NPN-Si, RF PO, 136-174 MHz, 4 W | 36 | 18 | 4 | .640 | 8 | --- | 5 min | TO-39EC | T7* |
| ECG342 | NPN-Si, RF PO, 136-174 MHz, 7 W | 35 | 17 | 4 | 2 | 12.5 | --- | 50 typ | TO-220EC | T42* |
| ECG343 | NPN-Si, RF PO, 136-174 MHz, 14 W | 35 | 17 | 4 | 3.5 | 25 | --- | 50 typ | TO-220EC | T42* |
| ECG344 | NPN-Si, RF PO, 136-174 MHz, 30 W | 35 | 17 | 4 | 7 | 50 | --- | 50 typ | RF-28F6 | T59 |
| ECG345 | NPN-Si, RF PO, 136-174 MHz, 30 W | 36 | 18 | 4 | 4 | 65 | --- | 5 min | RF-38S | T53 |
| ECG346 | NPN-Si, RF Driver & Predriver, 136-174 MHz, 1 W | 40 | 20 | 2 | .4 | 1 (T _A = 25°C) 3.5 (T _C = 25°C) | 500 | 10 min | TO-39 | T6 |
| ECG347 | NPN-Si, RF PO, 136-174 MHz, 3 W | 36 | 18 | 4 | .6 | 15 | --- | 5 min | RF-38SM | T51 |
| ECG348 | NPN-Si, RF PO, 136-174 MHz, 4 W | 36 | 18 | 4 | 1 | 12 | --- | 5 min | RF-38S | T53 |
| ECG349 | NPN-Si, RF PO, 136-174 MHz, 10 W | 36 | 18 | 4 | 2 | 30 | --- | 5 min | RF-38S | T53 |

| ECG Type | Description and Application | Collector To Base Volts BV _{CB0} | Collector To Emitter Volts BV _{CE0} | Base to Emitter Volts BV _{EB0} | Max. Collector Current I _C Amps | Max. Device Diss. P _D Watts | Freq. in MHz f _t | Current Gain h _{FE} | Package | |
|---------------------|--|---|--|---|--|--|-----------------------------|------------------------------|---------|----------|
| | | | | | | | | | Case | Fig. No. |
| ECG107 | NPN-Si, UHF/VHF Amp, Osc, Mix, IF Amp | 35 | 35 | 5 | 50 mA | .250 (T _A = 25°C) | 800 min | 70 typ | TO-92 | T16 |
| ECG108 | NPN-Si, RF/IF/Video Amp, Osc, Mix, VHF/UHF | 30 | 15 | 2 | 50 mA | .600 (T _A = 25°C) | 800 min | 20 min | TO-92 | T16 |
| ECG121 ECG121MP* | PNP-Ge, AF Pwr Output | 65 | 45 (CER) | 15 | 7.0 | 30 | 22 KHz # | 80 typ | TO-3 | T28 |
| ECG123 | NPN-Si, AF Preamp, Driver Video Amp, Sync Sep | 60 | 30 | 5 | .8 | .800 (T _A = 25°C) | 250 | 150 typ | TO-39 | T6 |
| ECG123A | NPN-Si, AF/RF Amp, Sw | 75 | 40 | 6 | .8 | .500 (T _A = 25°C) | 300 | 200 typ | TO-18 | T2 |
| ECG123AP | NPN-Si, AF/RF Amp, Driver (Compl to ECG159) | 75 | 40 | 6 | .6 | .500 (T _A = 25°C) | 300 | 200 typ | TO-92 | T16 |
| ECG124 | NPN-Si, HV Audio Pwr Output | 300 | 300 | 5 | .150 | 20 | 30 | 100 typ | TO-66 | T25 |
| ECG126A | PNP-Ge, RF/IF Amp, Osc, Mix | 15 | 15 | 3 | 50 mA | 300 mW (T _A = 25°C) | 250 | 40 typ | TO-18 | T2 |
| ECG127 | PNP-Ge, Horiz & Vert Defl, Pwr Output | 320 | 320 (CES) | 2 | 10 | 40 | 1 | 15 min | TO-3 | T28 |
| ECG128 | NPN-Si, AF Preamp, Driver, Output, Video Amp (Compl to ECG129) | 120 | 80 | 7 | 1 | 1 (T _A = 25°C) | 120 | 90 min | TO-39 | T6 |
| ECG128P | NPN-Si, Gen Purp Amp, Sw (Compl to ECG129P) | 100 | 80 | 7 | 1 | 1 | 100 | 100 min | TO-237 | T17 |
| ECG129 ECG129MCP | PNP-Si, AF Preamp, Driver, Output, Video Amp (Compl to ECG128) Matched Compl Pair-Contains one each ECG128 (NPN) and ECG129 (PNP) | 90 | 80 | 7 | 1 | 1 (T _A = 25°C) | 120 | 90 min | TO-39 | T6 |
| ECG129P | PNP-Si, Gen Purp Amp, Sw (Compl to ECG128P) | 80 | 80 | 7 | 1 | 1 | 150 | 100 min | TO-237 | T17 |
| ECG130 ECG130MP* | NPN-Si, AF Pwr Amp (Compl to ECG219) | 100 | 60 | 7 | 15 | 115 | .800 | 40 typ | TO-3 | T28 |
| ECG131 ECG131MP* | PNP-Ge, AF Pwr Output (Compl to ECG155) | 32 | 20 | 10 | 3 peak | 6 (T _C = 63°C) | 1 | 110 typ | TC-9 | T27 |
| ECG152 ECG152MP* | NPN-Si, AF Pwr Output (Compl to ECG153) | 60 | 60 | 5 | 7 | 50 | 10 | 60 typ | TO-220 | T41 |
| ECG153 ECG153MCP | PNP-Si, AF Pwr Output (Compl to ECG152) Matched Compl Pair-Contains one each ECG152 (NPN) and ECG153 (PNP) | 60 | 60 | 5 | 7 | 50 | 10 | 60 typ | TO-220 | T41 |
| ECG154 | NPN-Si, Video Output Amp | 300 | 300 | 7 | .5 | 1.0 (T _A = 25°C) 7.0 (T _C = 25°C) | 40 | 60 typ | TO-39 | T6 |
| ECG155 | NPN-Ge, AF Pwr Amp (Compl to ECG131) | 32 | 20 | 10 | 3 peak | 7.5 | 1 | 110 typ | TC-9 | T27 |
| ECG157 | NPN-Si, HV AF Pwr Amp (Compl to ECG39) | 300 | 300 | 3 | .5 | 20.8 | 10 | 30 min | TO-126 | T45 |
| ECG158 | PNP-Ge, AF Pwr Amp | 32 | 32 | 10 | 1 | 1.6 | 1.5 | 90 typ | TO-1 | T1 |
| ECG159 ECG159MCP | PNP-Si, AF Preamp, Driver, Sw (Compl to ECG123AP) Matched Compl Pair-Contains one each ECG123AP (NPN) and ECG159 (PNP) | 80 | 80 | 5 | 1 | .600 (T _A = 25°C) | 200 | 180 typ | TO-92 | T16 |
| ECG160 | PNP-Ge, RF/IF Amp, Osc, Mix | 30 | 20 (CES) | .5 | 10 mA | .200 (T _A = 25°C) | 400 | 20 typ | TO-72 | T4 |
| ECG161 | NPN-Si, Video IF Amp | 45 | 45 (CES) | 4.5 | 50 mA | .180 (T _A = 25°C) | 800 | 60 typ | TO-72 | T4 |

Opto-Coupled Interrupter Modules

| ECG Type | Output Configuration | Total Power Dissipation P_t (mW) | LED Max Ratings | | Collector To Emitter Voltage V_{CE0} (V) | Collector Current I_c (mA) | Ckt. Diagram | Fig. No. |
|----------|----------------------|------------------------------------|----------------------------|---------------------------|--|------------------------------|--------------|----------|
| | | | Forward Current I_F (mA) | Reverse Voltage V_R (V) | | | | |
| ECG3100 | NPN Transistor | 250 | 60 | 6 | 55 | 100 | D | P25 |
| ECG3101 | NPN Darlington | 250 | 60 | 6 | 55 | 100 | C | P25 |
| ECG3102 | NPN Transistor | 250 | 60 | 6 | 55 | 100 | D | P26 |
| ECG3103 | NPN Darlington | 250 | 60 | 6 | 55 | 100 | C | P26 |
| ECG3104 | NPN Transistor | 100 | 50 | 6 | 35 | 20 | T | P57 |
| ECG3105 | NPN Transistor | 75 | 50 | 3 | 30 | 20 | U | P58 |

Circuits

| | |
|---|--|
| <p>Diag. C</p>  <p>ANODE (1) (EMITTER) CATHODE (2)</p> <p>EMITTER (4) (DETECTOR) COLLECTOR (3)</p> <p>ECG 3101 3103</p> | <p>Diag. D</p>  <p>ANODE (1) (EMITTER) CATHODE (2)</p> <p>EMITTER (4) (DETECTOR) COLLECTOR (3)</p> <p>ECG 3100 3102</p> |
| <p>Diag. T</p>  <p>CATHODE (1)</p> <p>ANODE (2)</p> <p>COLLECTOR (4)</p> <p>EMITTER (3)</p> <p>ECG 3104</p> | <p>Diag. U</p>  <p>ANODE (1) (EMITTER) CATHODE (2)</p> <p>EMITTER (3) (DETECTOR) COLLECTOR (4)</p> <p>ECG 3105</p> |

LM311 Voltage Comparator

General Description

The LM311 is a voltage comparator that has input currents more than a hundred times lower than devices like the LM306 or LM710C. It is also designed to operate over a wider range of supply voltages: from standard $\pm 15V$ op amp supplies down to the single 5V supply used for IC logic. Its output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, it can drive lamps or relays, switching voltages up to 40V at currents as high as 50 mA.

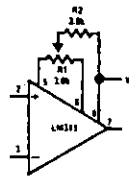
- Differential input voltage range: $\pm 30V$
- Power consumption: 135 mW at $\pm 15V$

Both the input and the output of the LM311¹ can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM306 and LM710C (200 ns response time vs 40 ns) the device is also much less prone to spurious oscillations. The LM311 has the same pin configuration as the LM306 and LM710C. See the "application hints" of the LM311 for application help.

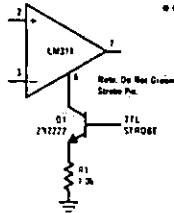
Features

- Operates from single 5V supply
- Maximum input current: 250 nA
- Maximum offset current: 50 nA

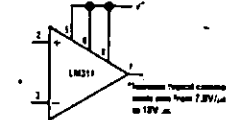
Auxiliary Circuits**



Offset Balancing



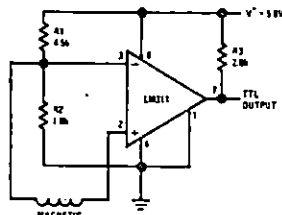
Strobing



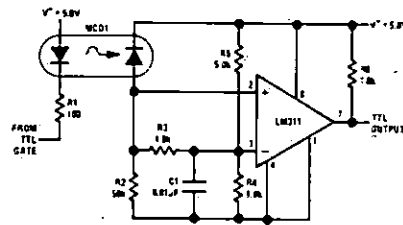
Increasing Input Stage Current*

** Note: Pin connections shown on schematic diagram and typical applications are for TO-5 package.

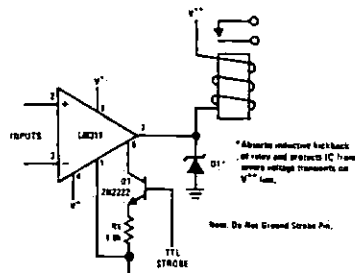
Typical Applications**



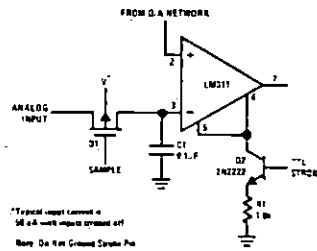
Detector for Magnetic Transducer



Digital Transmission Isolator



Relay Driver with Strobe



Strobing off Both Input* and Output Stages

*Typical input current is 50 nA with inputs strobed off

Note: Do Not Ground Strobe Pin

Absolute Maximum Ratings

| | |
|--|----------------------------------|
| Total Supply Voltage (V_{S+}) | .36V |
| Output to Negative Supply Voltage (V_{S-}) | 40V |
| Ground to Negative Supply Voltage (V_{I+}) | 30V |
| Differential Input Voltage | $\pm 30V$ |
| Input Voltage (Note 1) | $\pm 15V$ |
| Power Dissipation (Note 2) | 500 mW |
| Output Short Circuit Duration | 10 sec |
| Operating Temperature Range | $0^{\circ}C$ to $70^{\circ}C$ |
| Storage Temperature Range | $-65^{\circ}C$ to $150^{\circ}C$ |
| Lead Temperature (soldering, 10 sec) | $300^{\circ}C$ |
| Voltage at Strobe Pin | $V^{+}-5V$ |

Electrical Characteristics (Note 3)

| PARAMETER | CONDITIONS | MIN | TYP | MAX | UNITS |
|-------------------------------|---|-------|------------|------|-------|
| Input Offset Voltage (Note 4) | $T_A = 25^{\circ}C$, $R_S \leq 50k$ | | 2.0 | 7.5 | mV |
| Input Offset Current (Note 4) | $T_A = 25^{\circ}C$ | | 6.0 | 50 | nA |
| Input Bias Current | $T_A = 25^{\circ}C$ | | 100 | 250 | nA |
| Voltage Gain | $T_A = 25^{\circ}C$ | 40 | 200 | | V/mV |
| Response Time (Note 5) | $T_A = 25^{\circ}C$ | | 200 | | ns |
| Saturation Voltage | $V_{IN} \leq -10$ mV, $I_{OUT} = 50$ mA $T_A = 25^{\circ}C$ | | 0.75 | 1.5 | V |
| Strobe ON Current | $T_A = 25^{\circ}C$ | | 3.0 | | mA |
| Output Leakage Current | $V_{IN} \geq 10$ mV, $V_{OUT} = 35V$ $T_A = 25^{\circ}C$, $I_{STROBE} = 3$ mA | | 0.2 | 50 | nA |
| Input Offset Voltage (Note 4) | $R_S \leq 50k$ | | | 10 | mV |
| Input Offset Current (Note 4) | | | | 70 | nA |
| Input Bias Current | | | | 300 | nA |
| Input Voltage Range | | -14.5 | 13.8,-14.7 | 13.0 | V |
| Saturation Voltage | $V^{+} \geq 4.5V$, $V^{-} = 0$ $V_{IN} \leq -10$ mV, $I_{SINK} \leq 8$ mA | | 0.23 | 0.4 | V |
| Positive Supply Current | $T_A = 25^{\circ}C$ | | 5.1 | 7.5 | mA |
| Negative Supply Current | $T_A = 25^{\circ}C$ | | 4.1 | 5.0 | mA |

Note 1: This rating applies for $\pm 15V$ supplies. The positive input voltage limit is 30V above the negative supply. The negative input voltage limit is equal to the negative supply voltage or 30V below the positive supply, whichever is less.

Note 2: The maximum junction temperature of the LM311 is $110^{\circ}C$. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of $150^{\circ}C/W$, junction to ambient, or $45^{\circ}C/W$, junction to case. The thermal resistance of the dual-in-line package is $100^{\circ}C/W$, junction to ambient.

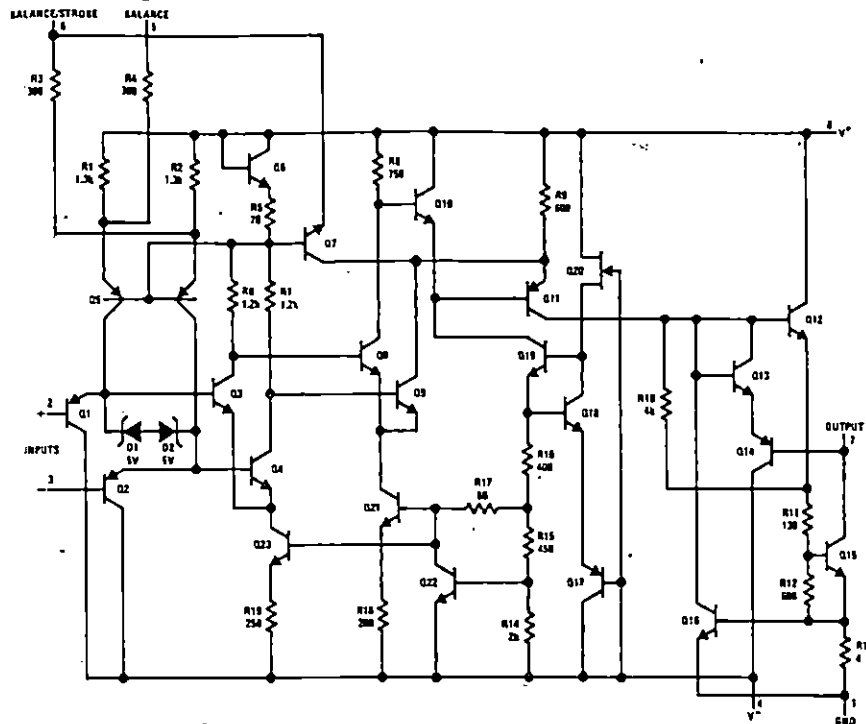
Note 3: These specifications apply for $V_S = \pm 15V$ and the Ground pin at ground, and $0^{\circ}C < T_A < +70^{\circ}C$, unless otherwise specified. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single 5V supply up to $\pm 15V$ supplies.

Note 4: The offset voltages and offset currents given are the maximum values required to drive the output within a volt of either supply with 1 mA load. Thus, these parameters define an error band and take into account the worst-case effects of voltage gain and input impedance.

Note 5: The response time specified (see definitions) is for a 100 mV input step with 5 mV overdrive.

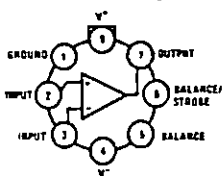
Note 6: Do not short the strobe pin to ground; it should be current driven at 3 to 5 mA.

Schematic Diagram



Connection Diagrams *

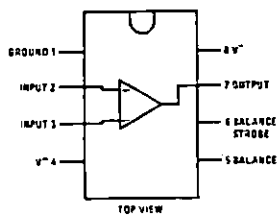
Metal Can Package



Order Number LM311N
See NS Package HD8C

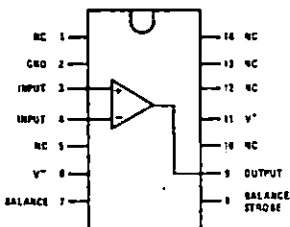
NOTE Pin 4 connected to case.
TOP VIEW

Dual-In-Line Package



Order Number LM311N
See NS Package N08B
Order Number LM311J-B
See NS Package J08A

Dual-In-Line Package



Order Number LM311N-14
See NS Package N14A
Order Number LM311J
See NS Package J14A

Note: Pin 8 connected to bottom of package.

*Pin connections shown on schematic diagram and typical applications are for TO-5 package.

ANEXO C



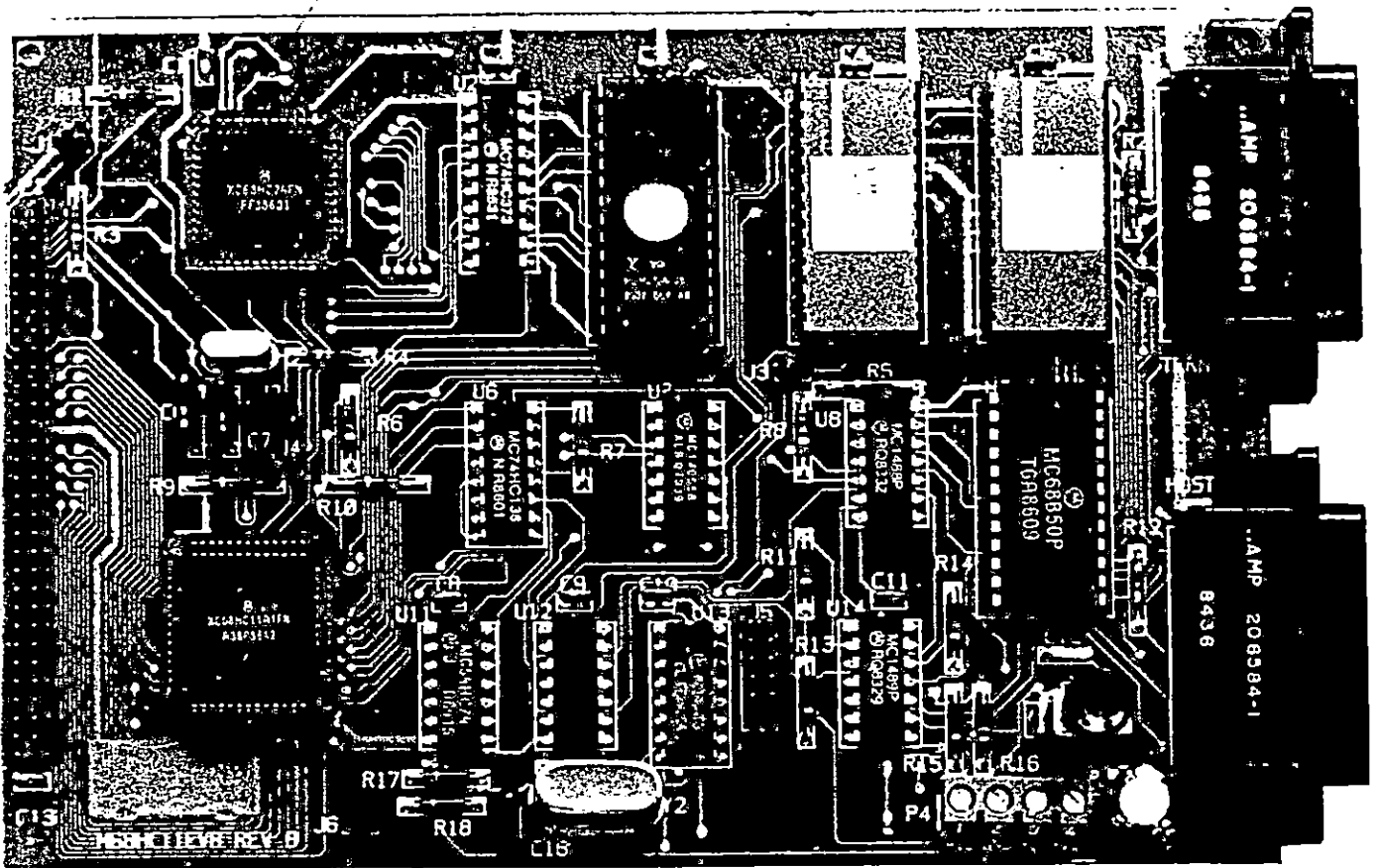


Figure 1-1. M68HC11EVB Evaluation Board

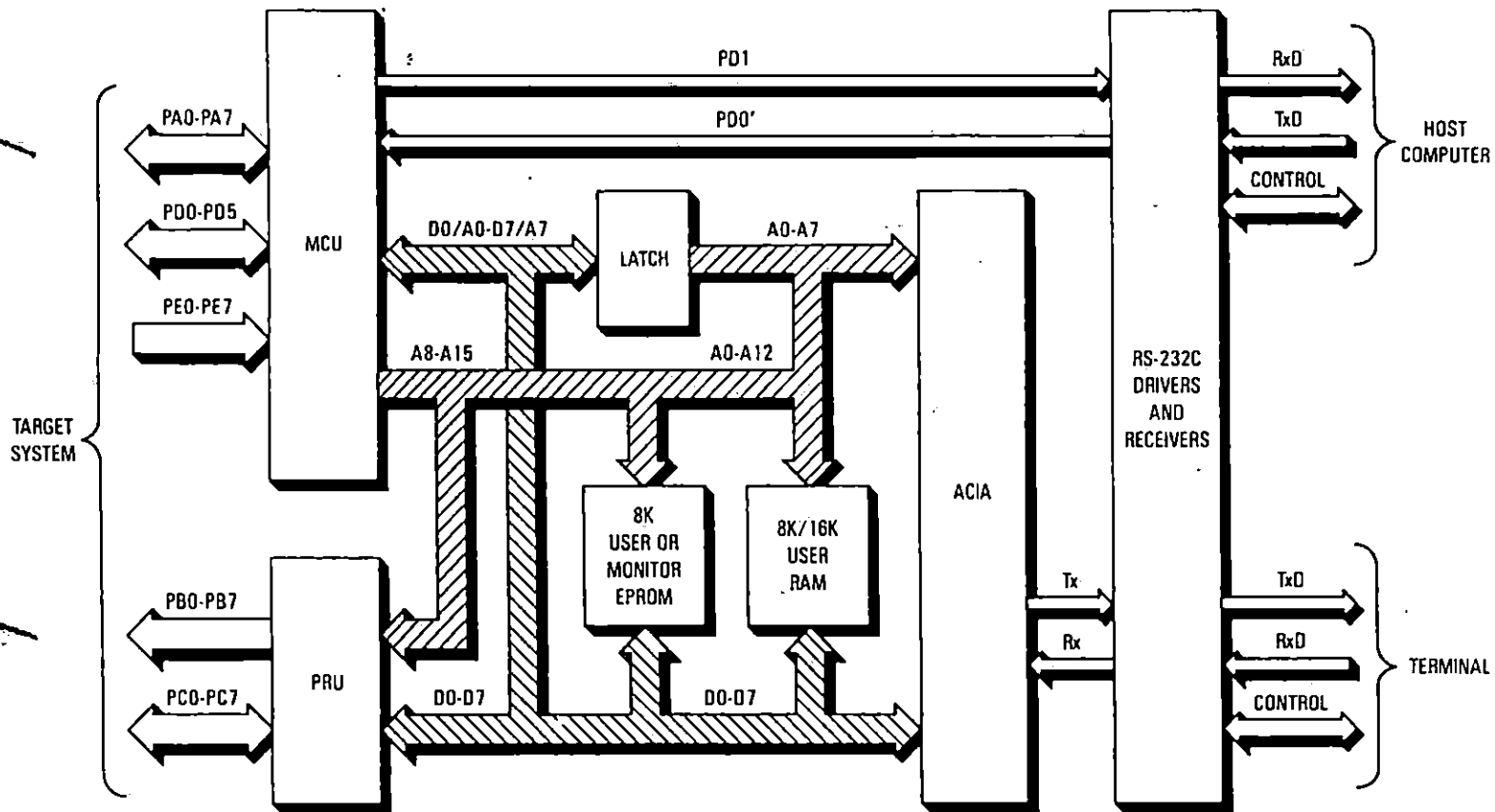


Figure 1-2. EVB Block Diagram

2.4.4 Target System - EVB Interconnection

Target system to EVB interconnection is accomplished via the EVB MCU I/O port connector and a user supplied 60 conductor flat ribbon cable assembly as shown in Figure 2-3. This MCU I/O port connector P1 (shown below) is a 60-pin header that facilitates the interconnection of the cable assembly for evaluation purposes. For connector pin assignments and signal descriptions of the EVB MCU I/O port connector P1, refer to **Chapter 6**.

| | | P1 | | | |
|--------|----|----|---|----|-----------------|
| GND | 1 | ● | ● | 2 | MODB |
| NC | 3 | ● | ● | 4 | STRA |
| E | 5 | ● | ● | 6 | STRB |
| EXTAL | 7 | ● | ● | 8 | XTAL |
| PC0 | 9 | ● | ● | 10 | PC1 |
| PC2 | 11 | ● | ● | 12 | PC3 |
| PC4 | 13 | ● | ● | 14 | PC5 |
| PC6 | 15 | ● | ● | 16 | PC7 |
| RESET* | 17 | ● | ● | 18 | XIRQ* |
| IRQ* | 19 | ● | ● | 20 | PD0 |
| PD1 | 21 | ● | ● | 22 | PD2 |
| PD3 | 23 | ● | ● | 24 | PD4 |
| PD5 | 25 | ● | ● | 26 | V _{DD} |
| PA7 | 27 | ● | ● | 28 | PA6 |
| PA5 | 29 | ● | ● | 30 | PA4 |
| PA3 | 31 | ● | ● | 32 | PA2 |
| PA1 | 33 | ● | ● | 34 | PA0 |
| PB7 | 35 | ● | ● | 36 | PB6 |
| PB5 | 37 | ● | ● | 38 | PB4 |
| PB3 | 39 | ● | ● | 40 | PB2 |
| PB1 | 41 | ● | ● | 42 | PB0 |
| PE0 | 43 | ● | ● | 44 | PE4 |
| PE1 | 45 | ● | ● | 46 | PE5 |
| PE2 | 47 | ● | ● | 48 | PE6 |
| PE3 | 49 | ● | ● | 50 | PE7 |
| VRL | 51 | ● | ● | 52 | VRH |
| NC | 53 | ● | ● | 54 | NC |
| NC | 55 | ● | ● | 56 | NC |
| NC | 57 | ● | ● | 58 | NC |
| NC | 59 | ● | ● | 60 | NC |

Table 1-1. EVB Specifications

| CHARACTERISTICS | SPECIFICATIONS |
|--|---|
| MCU | MC68HC11A1FN |
| PRU | MC68HC24FN |
| ACIA | MC68B50 |
| I/O ports: Terminal Host computer MCU extension | RS-232C compatible RS-232C compatible HCMOS-TTL compatible |
| Temperature: Operating Storage | 0 to 50 degrees C - 40 to +85 degrees C |
| Relative humidity | 0 to 90% (non-condensing) |
| Power requirements | + 5 Vdc @ 0.5 A (maximum) + 12 Vdc @ 0.1 A (maximum) - 12 Vdc @ 0.1 A (maximum) |
| Dimensions: Width Length | 7.062 in. (17.8 cm) 4.625 in. (11.75 cm) |

Table 1-2. External Equipment Requirements

| EXTERNAL EQUIPMENT | TYPICAL TYPE/MODEL |
|---|---|
| +5, +12, -12 Vdc power supply* | Condor model TAA-16W |
| Terminal (RS-232C compatible) | EXORterm |
| Host computer** (RS-232C compatible) | EXORciser (any host computer with M68HC11 cross assembler software) |
| Terminal/host computer - EVB RS-232C cable assembly* | |
| Target system - EVB MCU I/O port extension cable assembly* | |
| NOTES: (1) *Refer to Chapter 2 for details. (2) **Optional - not required for basic operation. | |

ANEXO D





MOTOROLA
Semiconductors

BOX 20912 • PHOENIX, ARIZONA 85036

MC14046B

PHASE-LOCKED LOOP

The MC14046B phase-locked loop contains two phase comparators, a voltage-controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self-bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal PC1_{out}, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals PC2_{out} and PCP_{out}, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins C1A, C1B, R1, and R2. The source-follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage-to-frequency conversion and motor speed control.

- VCO Frequency = 1.4 MHz Typical @ V_{DD} = 10 Vdc
- VCO Frequency Drift with Temperature = 0.04%/°C Typical @ V_{DD} = 10 Vdc
- VCO Linearity = 1% Typical
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Low Dynamic Power Dissipation — 70 μW Typical @ f₀ = 10 kHz, V_{DD} = 5.0 Vdc, R1 = 1.0 MΩ, R2 = ∞, R_{SF} = ∞
- Buffered Outputs Compatible with MHTL and Low-Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 Vdc
- Pin-for-Pin Replacement for CD4046

McMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

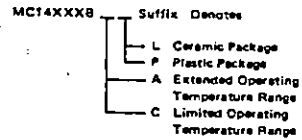
PHASE-LOCKED LOOP



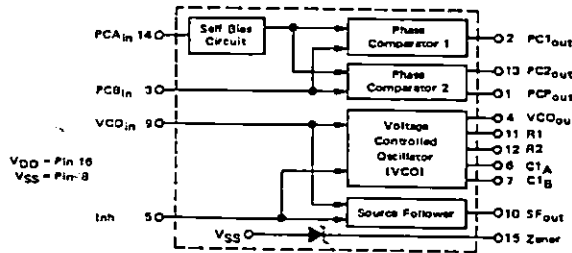
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

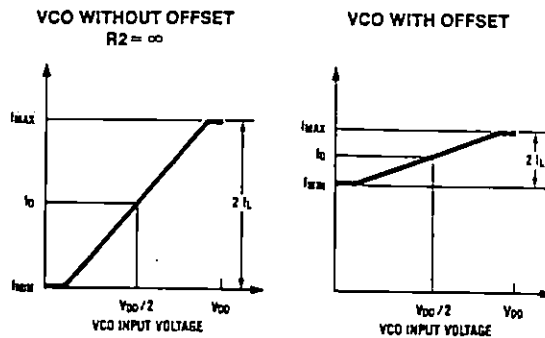


BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Pins 6, 7, 10, 11, 12, and 15 if unused must be left open.

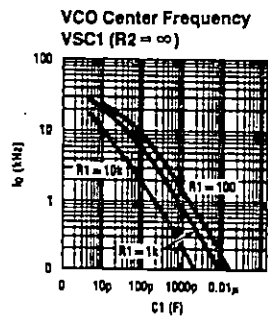


TL/F/5352-6

(a)

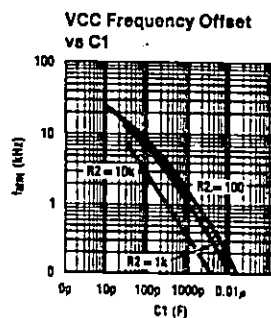
| Comparator I | | Comparator II | | Comparator III | |
|---|---|--|---|----------------|-------------------|
| $R_2 = \infty$ | $R_2 \neq \infty$ | $R_2 = \infty$ | $R_2 \neq \infty$ | $R_2 = \infty$ | $R_2 \neq \infty$ |
| <ul style="list-style-type: none"> - Given: f_0 - Use f_0 with Figure 5a to determine R1 and C1 | <ul style="list-style-type: none"> - Given: f_0 and f_L - Calculate f_{min} from the equation $f_{min} = f_0 - f_L$ - Use f_{min} with Figure 5b to determine R2 and C1 - Calculate f_{max}/f_{min} from the equation $f_{max}/f_{min} = f_0 + f_L / f_0 - f_L$ - Use f_{max}/f_{min} with Figure 5c to determine ratio R2/R1 to obtain R1 | <ul style="list-style-type: none"> - Given: f_{max} - Calculate f_0 from the equation $f_0 = f_{max}/2$ - Use f_0 with Figure 5a to determine R1 and C1 | <ul style="list-style-type: none"> - Given: f_{min} and f_{max} - Use f_{min} with Figure 5b to determine R2 and C1 - Calculate f_{max}/f_{min} - Use f_{max}/f_{min} with Figure 5c to determine ratio R2/R1 to obtain R1 | | |

(b)



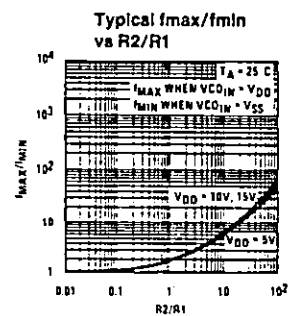
TL/F/5352-7

(c)



TL/F/5352-8

(d)

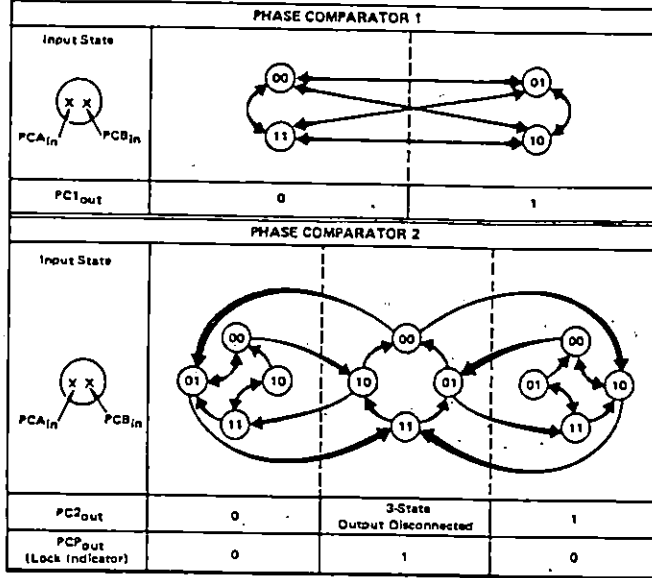


TL/F/5352-9

(e)

FIGURE 2. VCO Characteristics: a) Idealized Transfer Function
 b) Determining External Components
 c), d), e) Typical Frequency Characteristics versus Component Values

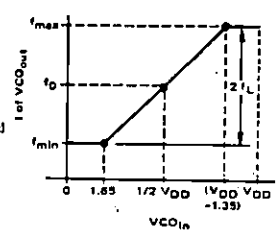
FIGURE 1 - PHASE COMPARATORS STATE DIAGRAMS



Refer to Waveforms in Figure 3.

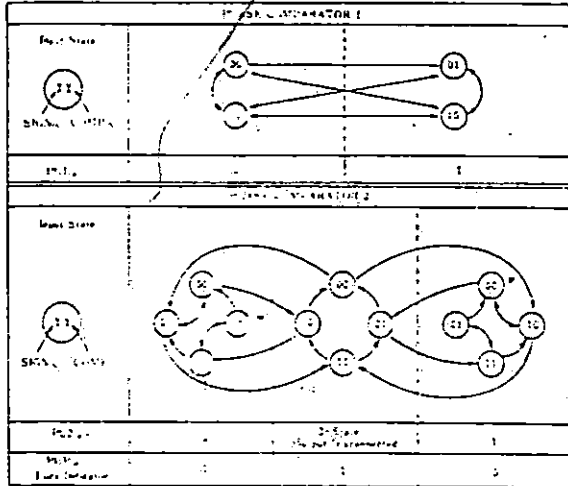
FIGURE 2 - DESIGN INFORMATION

| Characteristic | Using Phase Comparator 1 | Using Phase Comparator 2 |
|---|---|---|
| No signal on input PCA _{in} . | VCO in PLL system adjusts to center frequency (f _g). | VCO in PLL system adjusts to minimum frequency (f _{min}). |
| Phase angle between PCA _{in} and PCB _{in} . | 90° at center frequency (f _g), approaching 0° and 180° at ends of lock range (2f _L). | Always 0° in lock (positive rising edges). |
| Locks on harmonics of center frequency. | Yes | No |
| Signal input noise rejection. | High | Low |
| Lock frequency range (2f _L). | The frequency range of the input signal on which the loop will stay locked if it was initially in lock. 2f _L = full VCO frequency range = f _{max} - f _{min} . | |
| Capture frequency range (2f _C). | The frequency range of the input signal on which the loop will lock if it was initially out of lock. | |
| | Depends on low-pass filter characteristics (see Figure 3). f _C < f _L | f _C = f _L |
| Center frequency (f _g). | The frequency of VCO _{out} , when VCO _{in} = 1/2 V _{DD} | |
| VCO output frequency (f). | $f = \frac{K \left[\frac{VCO_{in} - 1.65}{R1} + \frac{VDD - 1.35}{R2} \right]}{C1 + 32(VDD + 1.6)} \text{ MHz (at } 25^{\circ}\text{C)}$ <p>where: V_{DD} in Vdc; 5.0 Vdc < V_{DD} < 15 Vdc VCO_{in} in Vdc; 1.65 Vdc < VCO_{in} < (V_{DD} - 1.35 Vdc) R1 and R2 in MΩ; R1 > 0.005 MΩ; R2 < 10 MΩ C1 in pF; C1 > 50 pF K = 0.95 @ V_{DD} = 5.0 Vdc = 0.95 @ V_{DD} = 10 Vdc = 1.08 @ V_{DD} = 15 Vdc</p> | |

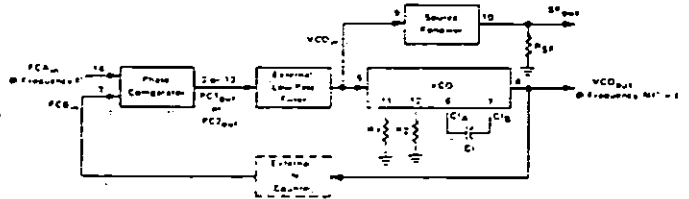


MOTOROLA Semiconductor Products Inc.

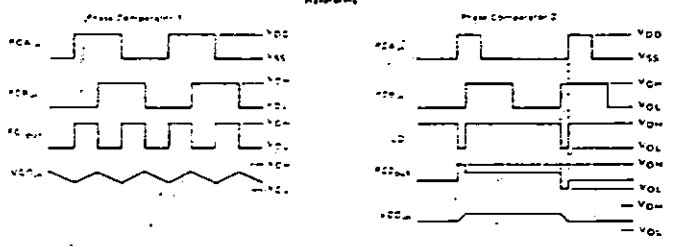
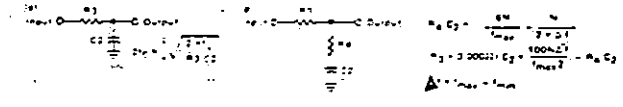
フェーズ・コンパレータ状態ダイアグラム



一般的PLL接続



Transmission Pass Filter



CD4098B Types

CMOS Dual Monostable Multivibrator

High-Voltage Types (20-Volt Rating)

The RCA CD4098B dual monostable multivibrator provides stable retriggerable/resettable one shot operation for any fixed-voltage timing application.

An external resistor (R_X) and an external capacitor (C_X) control the timing for the circuit. Adjustment of R_X and C_X provides a wide range of output pulse widths from the Q and \bar{Q} terminals. The time delay from trigger input to output transition (trigger propagation delay) and the time delay from reset input to output transition (reset propagation delay) are independent of R_X and C_X .

Leading edge triggering (+TR) and trailing edge triggering (-TR) inputs are provided for triggering from either edge of an input pulse. An unused +TR input should be tied to V_{SS} . An unused -TR input should be tied to V_{DD} . A RESET (on low level) is provided for immediate termination of the output pulse or to prevent output pulses when power is turned on. An unused RESET input should be tied to V_{DD} . However, if an entire section of the CD4098B is not used, its RESET should be tied to V_{SS} . See Table I.

In normal operation the circuit triggers (extends the output pulse one period) on the application of each new trigger pulse. For operation in the non-retriggerable mode, \bar{Q} is connected to -TR when leading edge triggering (+TR) is used or Q is connected to +TR when trailing edge triggering (-TR) is used.

The time period (T) for this multivibrator can be approximated by: $T_X = R_X C_X$ for $C_X > 0.01 \mu F$. Time periods as a function of R_X for values of C_X and V_{DD} are given in Fig. 8. Values of T vary from unit to unit and as a function of voltage, temperature, and $R_X C_X$.

The minimum value of external resistance, R_X , is 5 k Ω . The maximum value of external capacitance, C_X , is 100 μF . Fig. 9 shows time periods as a function of C_X for values of R_X and V_{DD} .

The output pulse width has variations of $\pm 2.5\%$ typically, over the temperature range of $-55^\circ C$ to $125^\circ C$ for $C_X = 1000 \mu F$ and $R_X = 100 k\Omega$.

For power supply variations of $\pm 5\%$, the output pulse width has variations of $\pm 0.5\%$ typically, for $V_{DD} = 10 V$ and $15 V$ and $\pm 1\%$ typically, for $V_{DD} = 5 V$ at $C_X = 1000 \mu F$ and $R_X = 5 k\Omega$.

These types are supplied in 16-lead hermetic dual-in-line ceramic packages (D and F suffixes), 16-lead dual-in-line plastic package (E suffix), 18-lead ceramic flat packages (K suffix), and in chip form (H suffix).

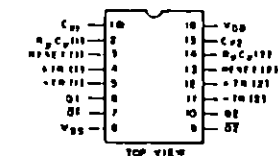
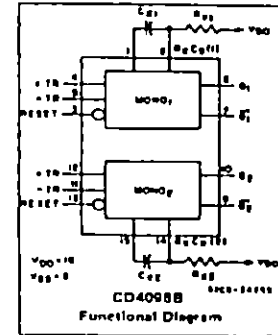
The CD4098B is similar to type MC14528.

Features:

- Retriggerable/resettable capability
- Trigger and reset propagation delays independent of R_X , C_X
- Triggering from leading or trailing edge
- Q and \bar{Q} buffered outputs available
- Separate resets
- Wide range of output pulse widths
- 100% tested for maximum quiescent current at 20 V
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and $25^\circ C$
- Noise margin (full package-temperature range):
 - 1 V at $V_{DD} = 5 V$
 - 2 V at $V_{DD} = 10 V$
 - 2.5 V at $V_{DD} = 15 V$
- 5-V, 10-V, and 15-V parametric ratings
- Standardized, symmetrical output characteristics
- Meets all requirements of JEDEC Tentative Standard No. 13A, "Standard Specifications for Description of 'B' Series CMOS Devices."

Applications:

- Pulse delay and timing
- Pulse shaping
- Astable multivibrator



TERMINALS 1, 2, 15 ARE ELECTRICALLY CONNECTED INTERNALLY

TERMINAL ASSIGNMENT

MAXIMUM RATINGS, Absolute Maximum Values:

| | |
|--|--|
| DC SUPPLY VOLTAGE RANGE (V_{DD}) (Voltages referenced to V_{SS} Terminal) | 0.5 to +20 V |
| INPUT VOLTAGE RANGE, ALL INPUTS | 0.5 to $V_{DD} + 0.5 V$ |
| DC INPUT CURRENT, ANY ONE INPUT | +10 mA |
| POWER DISSIPATION PER PACKAGE (P_{PD}) | |
| For $T_A = 40$ to $+125^\circ C$ (PACKAGE TYPE E) | 500 mW |
| For $T_A = 40$ to $+125^\circ C$ (PACKAGE TYPE E) | Drain linearly at $17 mW/^\circ C$ to 200 mW |
| For $T_A = -55$ to $+100^\circ C$ (PACKAGE TYPES D, F, K) | 500 mW |
| For $T_A = -55$ to $+125^\circ C$ (PACKAGE TYPES D, F, K) | Drain linearly at $17 mW/^\circ C$ to 200 mW |
| DEVICE DISSIPATION PER PACKAGE (TEMPERATURE RANGE) | |
| FOR $T_A =$ FULL PACKAGE TEMPERATURE RANGE (All Package Types) | 100 mW |
| OPERATING TEMPERATURE RANGE (T_A) | |
| PACKAGE TYPES D, F, K, H | 55 to $+125^\circ C$ |
| PACKAGE TYPE E | 40 to $+85^\circ C$ |
| STORAGE TEMPERATURE RANGE (T_{STG}) | 65 to $+150^\circ C$ |
| LEAD TEMPERATURE (DURING SOLDERING) | |
| At distance 1.716 \pm 0.025 mm (1/32 \pm 0.001 in) from case for 10 s max | +265 $^\circ C$ |

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

| CHARACTERISTIC | V_{DD} V | LIMITS | | UNITS |
|---|---------------|-------------------------------------|-------------|---------|
| | | MIN. | MAX. | |
| Supply Voltage Range (For $T_A =$ Full Package Temperature Range) | | 3 | 18 | V |
| Trigger Pulse Width (t_W (TR)) | 5 10 15 | 140 60 40 | - - - | ns |
| Reset Pulse Width (t_W (R)) (This is a function of C_X) | - | See Dynamic Char. Chart and Fig. 10 | | - |
| Trigger Rise or Fall Time t_r (TR), t_f (TR) | 5 15 | - | 100 | μs |

CD4098B Types

STATIC ELECTRICAL CHARACTERISTICS

| CHARACTERISTIC | CONDITIONS | | | LIMITS AT INDICATED TEMPERATURES (°C) | | | | | | | | UNITS |
|------------------------------|------------|----------|----------|---|-------|-------|-------|--|------|------|----|---------|
| | V_O | V_{IN} | V_{DD} | Values at -55, +25, +125 Apply to D, F, K, H, pkgs. | | | | Values at -40, +25, +85 Apply to E Pkgs. | | | | |
| | (V) | (V) | (V) | -65 | -40 | +85 | +125 | +25 | | | | |
| Quiescent Device Current | - | 0.5 | 5 | 1 | 1 | 30 | 30 | Min. | Typ. | Max. | | μA |
| I_{DD} Max. | - | 0.10 | 10 | 2 | 2 | 60 | 60 | - | 0.02 | 1 | | |
| | - | 0.15 | 15 | 4 | 4 | 120 | 120 | - | 0.02 | 4 | | |
| Output Low (Sink) Current | 0.4 | 0.5 | 5 | 0.64 | 0.61 | 0.42 | 0.38 | 0.51 | 1 | - | | mA |
| I_{OL} Min. | 0.5 | 0.10 | 10 | 1.8 | 1.5 | 1.1 | 0.9 | 1.3 | 2.8 | - | | |
| | 1.5 | 0.15 | 15 | 4.2 | 4 | 2.8 | 2.4 | 3.4 | 6.8 | - | | |
| Output High (Source) Current | 4.8 | 0.5 | 5 | -0.64 | -0.61 | -0.42 | -0.38 | 0.51 | -1 | - | | mA |
| I_{OH} Min. | 2.5 | 0.5 | 5 | -2 | -1.8 | -1.3 | -1.15 | -1.6 | -3.2 | - | | |
| | 9.5 | 0.10 | 10 | -1.6 | -1.5 | -1.1 | -0.9 | -1.3 | -2.8 | - | | |
| Output Voltage: Low Level | - | 0.5 | 5 | 0.05 | | | | - | 0 | 0.05 | | V |
| V_{OL} Max. | - | 0.10 | 10 | 0.05 | | | | - | 0 | 0.05 | | |
| | - | 0.15 | 15 | 0.05 | | | | - | 0 | 0.05 | | |
| Output Voltage: High Level | - | 0.5 | 5 | 4.95 | | | | 4.05 | 5 | - | | V |
| V_{OH} Min. | - | 0.10 | 10 | 0.95 | | | | 0.05 | 10 | - | | |
| | - | 0.15 | 15 | 14.95 | | | | 14.05 | 15 | - | | |
| Input Low Voltage | 0.5, 4.5 | - | 5 | 1.5 | | | | - | - | 1.5 | | V |
| V_{IL} Max. | 1.9 | - | 10 | 3 | | | | - | - | 3 | | |
| | 1.5, 13.5 | - | 15 | 4 | | | | - | - | 4 | | |
| Input High Voltage | 0.5, 4.5 | - | 5 | 3.5 | | | | 3.5 | - | - | | V |
| V_{IH} Min. | 1.9 | - | 10 | 7 | | | | 7 | - | - | | |
| | 1.5, 13.5 | - | 15 | 11 | | | | 11 | - | - | | |
| Input Current | | 0.18 | 18 | 10 | 10 | 11 | 11 | | 10 | 5 | 10 | μA |
| I_{IN} Max. | | | | | | | | | | | | |
| Output Leakage Current | 0.18 | 0.18 | 18 | 10 | 10 | 12 | 12 | | 10 | 4 | 10 | μA |
| I_{OUT} Max. | | | | | | | | | | | | |

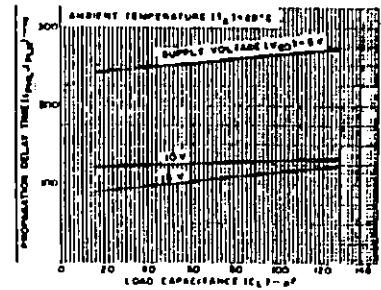


Fig 6 Typical propagation delay time vs load capacitance, trigger into Q out (All values of C_X and R_X)

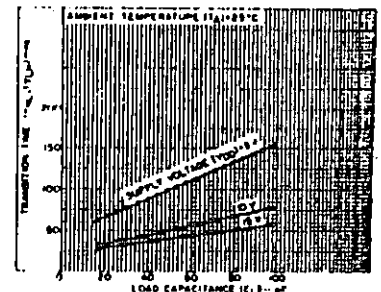


Fig 7 Transition time vs load capacitance for $R_X = 5k$ and $C_X = 15pf$

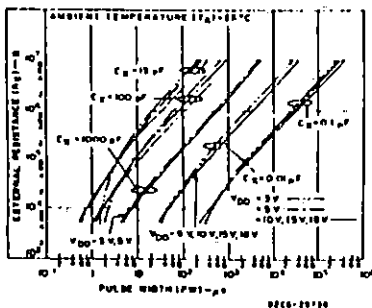


Fig 8 Typical external resistance vs. pulse width.

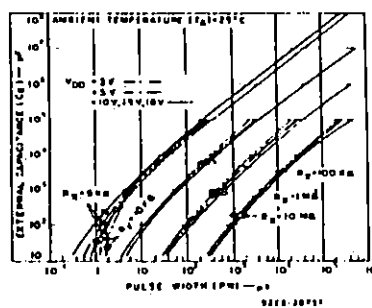


Fig 9 Typical external capacitance vs. pulse width.

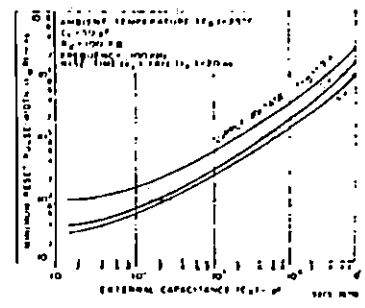
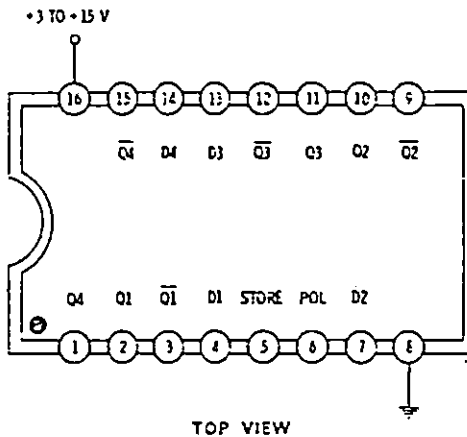


Fig 10 Typical minimum reset pulse width vs. external capacitance.

4042

QUAD LATCH



TOP VIEW

This package contains four latches having a common level-controlled storage-command input. A choice of control polarity is available.

If the POL input is low and the STORE input is low, data sent to the D input appears at its respective true and complement outputs. When the Store input is brought high, the data on the input during the positive transition gets stored internally and appears in true form at output Q and its complement at \bar{Q} .

If the POL input is high and the STORE input is high, data sent to the D input appears at its respective true and complement outputs. When the Store input is brought low, the data on the input during the negative transition gets stored internally and appears in true form at output Q and its complement at \bar{Q} .

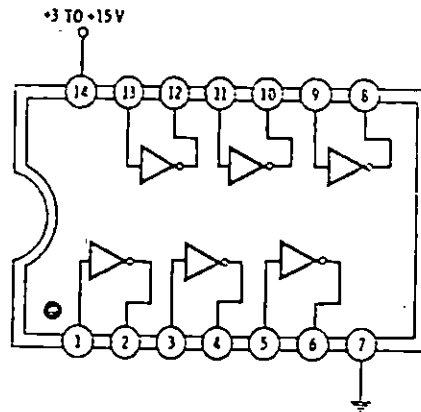
Note that the output follows the input for one state of the Store control. This is not a true edge-clocked device and stages may NOT be cascaded.

The Store input must be noise free. Recommended rise and fall times must be faster than 5 microseconds.

Propagation delay times are 75 nanoseconds at 10 volts and 150 nanoseconds at 5 volts. Typical package current at a 1-megahertz store rate is 1.2 milliamperes at 5 volts and 2.4 milliamperes at 10 volts.

4069

HEX INVERTER



TOP VIEW

All six inverters may be used independently.

On any inverter, a low input provides a high output, and vice versa.

This is a "low-power" version of the 4049. It will not directly drive regular TTL, nor can it be used for voltage translation.

In addition, this device is only singly buffered, which means the 4069B will perform no better in astable and pulse circuits than ordinary A-series devices. Thus, while the 4069B has the output drive typical of other B-series devices, it has far less internal gain.

Propagation delay is 25 nanoseconds at 10 volts and 50 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

Am2732A

DISTINCTIVE CHARACTERISTICS

- Fast access times – 200ns, 250ns, 300ns, 450ns
- New low-cost plastic package for applications not requiring reprogramming
- Low power dissipation
 - 525mW active, 130mW standby
- $\pm 10\%$ V_{CC} supply tolerance available
- Three-state outputs
- 24-pin JEDEC approved 2732 pin-out
- Pin compatible with Am9233 – 32K-bit ROM
- Separate chip enable and output enable

GENERAL DESCRIPTION

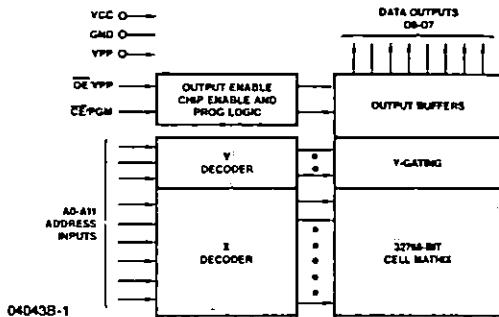
The Am2732A is a 32768-bit UV-light erasable and electrically programmable read-only memory, organized as 4096 words by 8-bits. The standard Am2732A offers an access time of 250ns, allowing operation with high-speed microprocessors without any WAIT state.

To eliminate bus contention in a multiple-bus microprocessor system, Am2732A offers separate Output Enable (\overline{OE}) and Chip Enable (\overline{CE}) controls.

All signals are TTL levels, including programming signals. Bit locations may be programmed singly, in blocks or at random.

The part is available in an economical plastic package for applications which do not require reprogramming.

BLOCK DIAGRAM



04043B-1

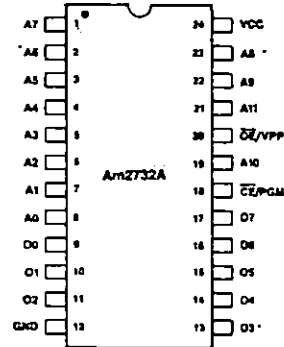
MODE SELECTION

| Mode | Pin 18 \overline{CE}/PGM | Pin 20 \overline{OE}/VPP | Pin 24 V_{CC} | Outputs (0-7, 13-17) |
|-----------------|-------------------------------|-------------------------------|--------------------|-------------------------|
| Read | VIL | VIL | +5 | DOUT |
| Standby | VIH | X | +5 | High Z |
| Program | VIL | VPP | +5 | DIN |
| Program Verify | VIL | VIL | +5 | DOUT |
| Program Inhibit | VHI | VPP | +5 | High Z |

X can be either V_{OH} or V_{OL}

Figure 1.

CONNECTION DIAGRAM – Top View D-24-4



04043B-2

Pin 1 is marked for orientation.

- A0-A11: Addresses
- O0-O7: Outputs
- \overline{CE}/PGM : Chip Enable/Program
- \overline{OE}/VPP : Output Enable/VPP Supply

Figure 2.

ORDERING INFORMATION

| Order Number ¹ | t_{ACC} (ns) | t_{CE} (ns) | t_{OE} (ns) | V_{CC} | Temperature Range |
|---------------------------|----------------|---------------|---------------|---------------|-------------------|
| AM2732APC | 250 | 250 | 100 | 5V $\pm 5\%$ | C |
| AM2732A-2DX | 200 | 200 | 70 | 5V $\pm 5\%$ | C, I, L |
| AM2732A-20DX | 200 | 200 | 70 | 5V $\pm 10\%$ | C, I, L, M |
| AM2732A-DX | 250 | 250 | 100 | 5V $\pm 5\%$ | C, I, L |
| AM2732A-25DX | 250 | 250 | 100 | 5V $\pm 10\%$ | C, I, L, M |
| AM2732A-3DX | 300 | 300 | 150 | 5V $\pm 5\%$ | C, I, L |
| AM2732A-30DX | 300 | 300 | 150 | 5V $\pm 10\%$ | C, I, L |
| AM2732A-4DX | 450 | 450 | 150 | 5V $\pm 5\%$ | C, I, L |
| AM2732A-45DX | 450 | 450 | 150 | 5V $\pm 10\%$ | C, I, L, M |

Note 1: X = C (0 to 70°C), X = I (-40 to +85°C), X = L (-55 to +100°C), X = M (-55 to +125°C).

ANEXO E



LM101A/LM301A
LM107/LM307

ABSOLUTE MAXIMUM RATINGS

| | |
|---------------------------------------|----------------|
| Supply Voltage | |
| LM101A/LM107 | ± 22 Volts |
| LM301A/LM307 | ± 18 Volts |
| Differential Input Voltage | ± 30 Volts |
| Input Voltage, Note 2 | ± 15 Volts |
| Output Short Circuit Duration, Note 3 | Indefinite |
| Operating Temperature Range | |
| LM101A/LM107 | -55°C to 125°C |
| LM301A/LM307 | 0°C to 70°C |
| Maximum Junction Temperature | |
| LM101A/LM107 | 150°C |
| LM301A/LM307 | 100°C |
| Storage Temperature Range | |
| All Devices | -65°C to 150°C |
| Lead Temperature (Soldering, 10 sec.) | 300°C |

PACKAGE/ORDER INFORMATION

| TOP VIEW | ORDER PART NUMBER |
|--|--|
| <p>METAL CAN H PACKAGE * PINS 1, 5, 8 NO CONNECTION ON LM107/307</p> | LM101AH LM301AH LM107H LM307H |
| <p>J8 PACKAGE HERMETIC DIP * PINS 1, 5, 8 NO CONNECTION ON LM107/307</p> | LM101AJ8 LM301AJ8 LM107J8 LM307J8 |

ELECTRICAL CHARACTERISTICS (Note 1)

| SYMBOL | PARAMETER | CONDITIONS | LM101A/LM107 | | | LM301A/LM307 | | | UNITS | |
|-------------------------------------|---|---|--------------|------|------|--------------|------|------|------------------|---|
| | | | MIN | TYP | MAX | MIN | TYP | MAX | | |
| V_{OS} | Input Offset Voltage | $R_S < 50K\Omega$, $T_A = 25^\circ C$ $R_S < 50K\Omega$ | ● | 0.7 | 2.0 | 2.0 | 7.5 | 10 | mV | |
| $\frac{\Delta V_{OS}}{\Delta Temp}$ | Average Temperature Coefficient of Input Offset Voltage | $R_S < 50K\Omega$ | ● | 3.0 | 15 | 6.0 | 30 | | $\mu V/^\circ C$ | |
| I_{OS} | Input Offset Current | $T_A = 25^\circ C$ | ● | 1.5 | 10 | 3.0 | 50 | 70 | nA | |
| $\frac{\Delta I_{OS}}{\Delta Temp}$ | Average Temperature Coefficient of Input Offset Current | $25^\circ C < T_A < T_{MAX}$ $T_{MIN} < T_A < 25^\circ C$ | | 0.01 | 0.1 | 0.01 | 0.3 | | nA/°C | |
| I_B | Input Bias Current | $T_A = 25^\circ C$ | ● | 30 | 75 | 70 | 250 | 300 | nA | |
| A_{VOL} | Large Signal Voltage Gain | $T_A = 25^\circ C$, $V_S = \pm 15V$, $V_{OUT} = \pm 10V$, $R_L > 2K\Omega$ $V_S = \pm 15V$, $V_{OUT} = \pm 10V$, $R_L > 2K\Omega$ | ● | 50 | 160 | 25 | 160 | | V/mV | |
| CMRR | Common Mode Rejection Ratio | $R_S < 50K\Omega$ | ● | 80 | 96 | 70 | 90 | | dB | |
| PSRR | Power Supply Rejection Ratio | $R_S < 50K\Omega$ | ● | 80 | 96 | 70 | 96 | | dB | |
| | Input Voltage Range | $V_S = \pm 20V$ $V_S = \pm 15V$ | ● | ± 15 | | ± 12 | | ± 15 | | V |
| V_{OUT} | Output Voltage Swing | $V_S = \pm 15V$, $R_L = 10K\Omega$, $R_L = 2K\Omega$ | ● | ± 12 | ± 14 | ± 12 | ± 14 | | V | |
| R_{in} | Input Resistance | $T_A = 25^\circ C$ | | 1.5 | 4.0 | 0.5 | 2.0 | | MΩ | |
| I_S | Supply Current | $T_A = 25^\circ C$, $V_S = \pm 20V$ $T_A = 125^\circ C$, $V_S = \pm 20V$ | ● | 1.8 | 3.0 | 1.8 | 3.0 | | mA | |

The ● denotes the specifications which apply over the full operating temperature range.

Note 1: Unless otherwise noted; all measurements are made with unity gain compensation ($C_1 = 30pF$ for the LM101A/301A); these specifications apply for $\pm 5V < V_S < \pm 20V$ for the LM101A/LM107; and $\pm 5V < V_S < \pm 15V$ for the LM301A/LM307.

Note 2: For supply voltages less than ± 15 Volts, the maximum input voltage is equal to the supply voltage.

Note 3: The output may be shorted to ground or either power supply indefinitely, provided the case temperature is below 125°C for the LM101A/107 and below 70°C for the LM301A/307.



Operational Amplifiers/Buffers

LM741/LM741A/LM741C/LM741E Operational Amplifier

General Description

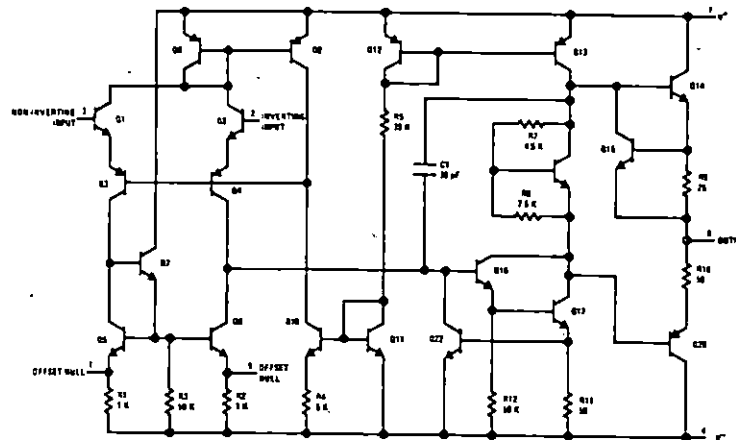
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

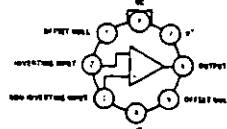
The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

Schematic and Connection Diagrams (Top Views)

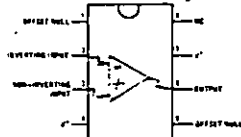


Metal Can Package



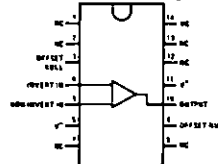
Order Number LM741H, LM741AH,
LM741CH or LM741EH
See NS Package H08C

Dual-In-Line Package



Order Number LM741CN or LM741EN
See NS Package N08B
Order Number LM741CJ
See NS Package J08A

Dual-In-Line Package



Order Number LM741CN-14
See NS Package N14A
Order Number LM741J-14, LM741AJ-14
or LM741CJ-14
See NS Package J14A



MOTOROLA

**2N2218, A 2N2219, A
2N2221, A 2N2222, A
2N5581 2N5582**

TRANSISTORES NPN DE SILICIO AISLADOS

Estos transistores se usan en la industria en aplicaciones tales como conmutadores de velocidad media, y como amplificadores desde audio hasta VHF frecuencias

- Ganancia de corriente en CD especificada: 1.0 a 500 mAcD
- Bajo voltaje de saturación colector-emisor
 $V_{CE(sat)} @ I_C = 500mAcd$
 = 1.6 Vcd (Máx) - Sin sufijo A
 = 1.0 Vcd (Máx) - Añada el sufijo A
- Producto de ganancia de corriente muy alta- por el ancho de banda
 $f_T = 250 MHz (Mín) @ I_C = 20 mAcd$ - Todos los tipos excepto
 = 300 MHz (Mín) @ $I_C = 20 mAcd$ - 2N2219A, 2N2222A, 2N5582
- Complementario de los transistores PNP desde 2N2904 hasta 2N2907, A
- JAN/JANTX disponible para la serie 2N2218, A

**TRANSISTORES NPN DE SILICIO
CONMUTADORES Y
AMPLIFICADORES**

JULIO DE 1970 - DS.5120 R1
(Reemplaza al DS 5120)

GUIA DE SELECCION

| Tipo de dispositivo | Característica | | | Encapsulado |
|---------------------|--------------------------------------|----------------------------|------------------------------------|-------------|
| | V_{CEO} $I_C = 10mAcd$ Volts | $I_C = 150mAcd$ Mín/Máx | h_{FE} $I_C = 500mAcd$ Mín | |
| 2N2218 2N2219 | 30 | 40/120 100/300 | 20 30 | TO-5 |
| 2N2221 2N2222 | 30 | 40/120 100/300 | 20 30 | TO-18 |
| 2N5581 2N5582 | 40 | 40/120 100/300 | 25 40 | TO-46 |
| 2N2218A 2N2219A | 40 | 40/120 100/300 | 25 40 | TO-5 |
| 2N2221A 2N2222A | 40 | 40/120 100/300 | 25 40 | TO-18 |

***ESPECIFICACIONES DE MAXIMOS**

| Especificación | Símbolo | 2N2218 | 2N2218A | 2N2219 | 2N2219A | 2N5581 | 2N5582 | Unidad |
|---|----------------|----------------|-----------|-----------|-----------|--------|--------|----------------|
| | | 2N2221 | 2N2221A | 2N2222 | 2N2222A | 2N5581 | 2N5582 | |
| Voltaje colector-emisor | V_{CEO} | 30 | 40 | 30 | 40 | 40 | 40 | Vcd |
| Voltaje colector-base | V_{CB} | 60 | 75 | 60 | 75 | 75 | 75 | Vcd |
| Voltaje emisor-base | V_{EB} | 5.0 | 6.0 | 5.0 | 6.0 | 6.0 | 6.0 | Vcd |
| Corriente de colector-continua | I_C | 800 | 800 | 800 | 800 | 800 | 800 | mAcd |
| | | 2N2218, A | 2N2219, A | 2N2221, A | 2N2222, A | 2N5581 | 2N5582 | |
| Disipación del disp. @ $T_A = 25^\circ C$ Desclasificación a temp. de $25^\circ C$ | P_D | 0.8 | 0.5 | 0.8 | 0.5 | 0.8 | 0.5 | Watt mW/°C |
| Disipación del disp. @ $T_A = 25^\circ C$ Desclasificación a temp. de $25^\circ C$ | P_D | 3.0 | 1.8 | 3.0 | 1.8 | 3.0 | 2.0 | Watts mW/°C |
| Rango de temperaturas de la unión en operación y almacenaje | T_J, T_{stg} | -65 hasta +200 | | | | | | °C |

*Indica datos del registro JEDEC

**Motorola garantiza estos datos junto con el registro JEDEC

**CUBIERTA 31 (1)
A-5
2N2218, A
2N2219, A**

Terminales:
1. Emisor
2. Base
3. Colector

Peso = 1.15 g

**CUBIERTA 22 (1)
A-18:
2N2221, A
2N2222, A**

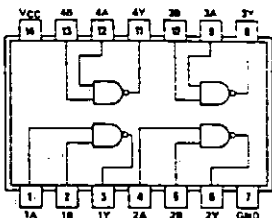
Terminales:
1. Emisor
2. Base
3. Colector

**CUBIERTA 26
A-46
2N5581
2N5582**

COLECTOR
EMISOR

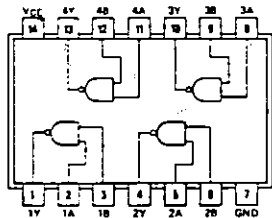
Se aplicaron las dimensiones y notas del *registro JEDEC correspondientes

Diag. 1 14-Pin DIP See Fig. D6
**ECG7400, ECG74C00, ECG74H00,
 ECG74HC00, ECG74HCT00, ECG74LS00,
 ECG74S00**



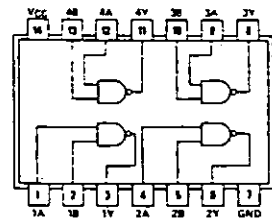
Quad 2-Input NAND Gate

Diag. 2 14-Pin DIP See Fig. D6
 (See Also Diag. 3)
ECG7401, ECG74LS01



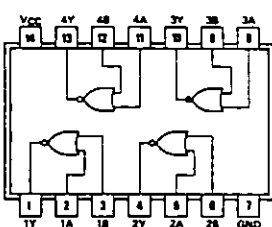
Quad 2-Input NAND Gate with Open Collector Output

Diag. 3 14-Pin DIP See Fig. D6
 (See Also Diag. 2)
ECG74H01



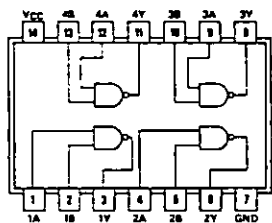
Quad 2-Input NAND Gate with Open Collector Output

Diag. 4 14-Pin DIP See Fig. D6
**ECG7402, ECG74C02, ECG74HC02,
 ECG74LS02, ECG74S02**



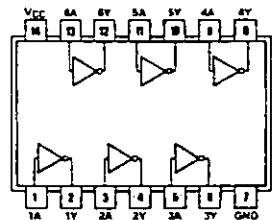
Quad 2-Input NOR Gate

Diag. 5 14-Pin DIP See Fig. D6
ECG7403, ECG74LS03, ECG74S03



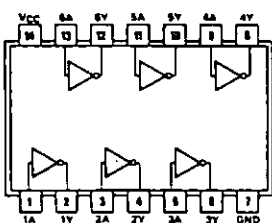
Quad 2-Input NAND Gate with Open Collector Output

Diag. 6 14-Pin DIP See Fig. D6
**ECG7404, ECG74C04, ECG74H04,
 ECG74HC04, ECG74HCT04, ECG74LS04,
 ECG74S04**



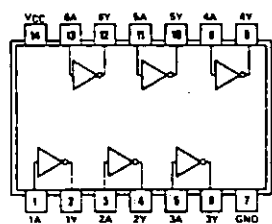
Hex Inverter

Diag. 7 14-Pin DIP See Fig. D6
**ECG7405, ECG74H05, ECG74LS05,
 ECG74S05**



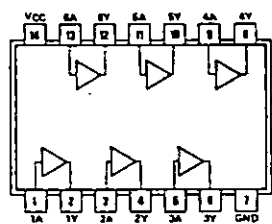
Hex Inverter with Open Collector Output

Diag. 8 14-Pin DIP See Fig. D6
ECG7406



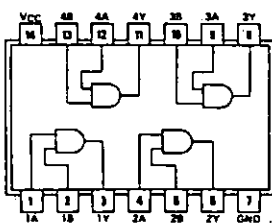
Hex Inverter/Buffer with Hi-Volt (30 V) Open Collector Output

Diag. 9 14-Pin DIP See Fig. D6
ECG7407



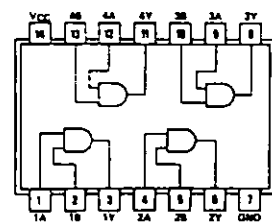
Hex Buffer with Hi-Volt (30 V) Open Collector Output

Diag. 10 14-Pin DIP See Fig. D6
**ECG7408, ECG74C08, ECG74H08,
 ECG74HC08, ECG74HCT08, ECG74LS08,
 ECG74S08**



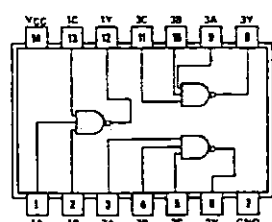
Quad 2-Input AND Gate

Diag. 11 14-Pin DIP See Fig. D6
ECG7409, ECG74LS09, ECG74S09



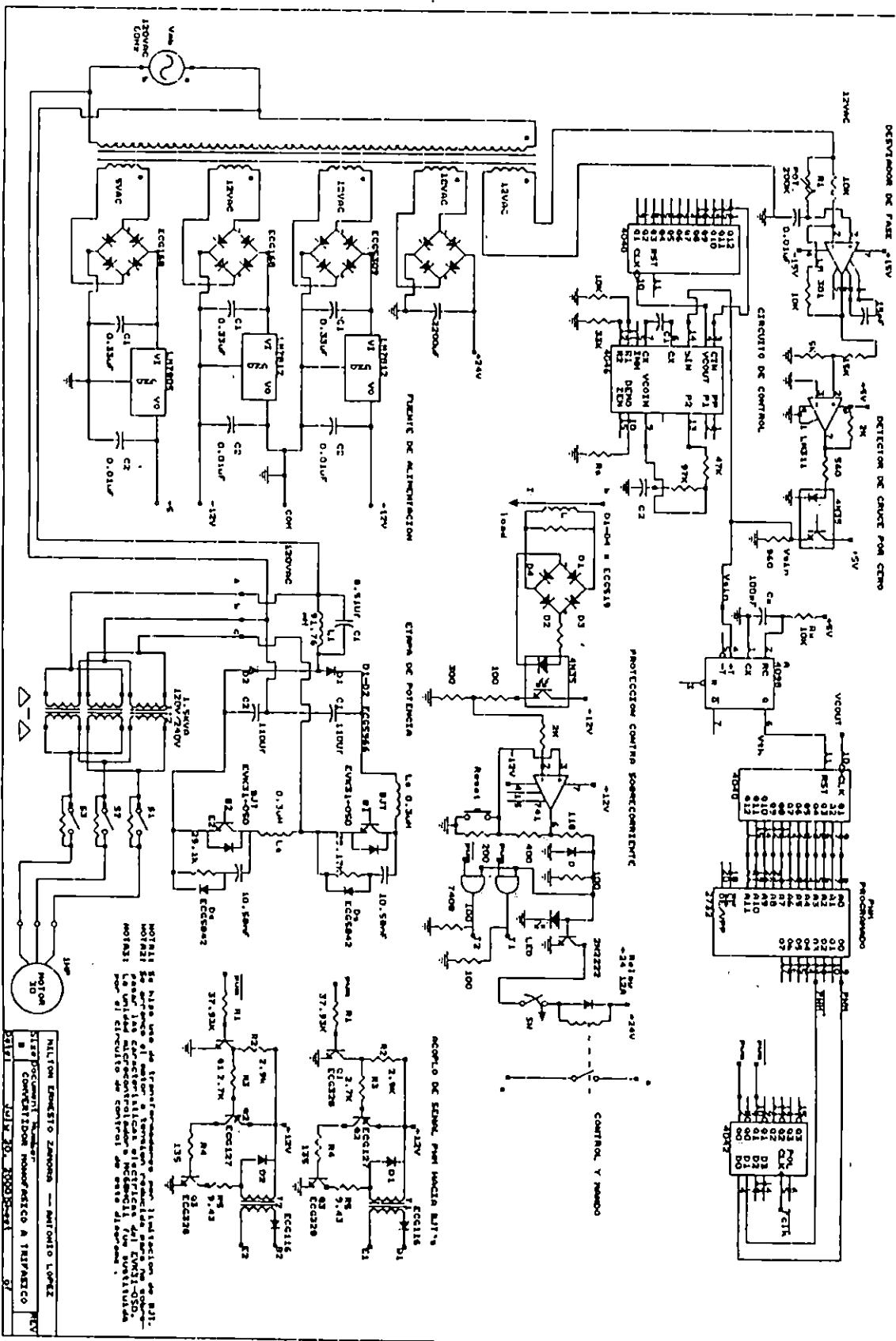
Quad 2-Input AND Gate with Open Collector Output

Diag. 12 14-Pin DIP See Fig. D6
**ECG7410, ECG74C10, ECG74H10,
 ECG74HC10, ECG74LS10, ECG74S10**



Triple 3-Input NAND Gate

CIRCUITO CONVERTIDOR MONOFASICO A TRIFASICO



NOTA1: Se hizo uso de transformadores para 110V de los R11.
 NOTA2: Se usó un puente de diodos para las características eléctricas del EWR31-050.
 NOTA3: Para el circuito de control se usó el modelo de un puente de diodos.

NILTON ERNESTO ZAMORA — ANTONIO LOPEZ
 ESTUDIOS DE INGENIERIA EN ELECTRICIDAD Y ELECTRONICA
 UNIVERSIDAD NACIONAL AUTONOMA DE MEXICO (UNAM)
 INSTITUTO DE INVESTIGACIONES EN ELECTRICIDAD Y ELECTRONICA (IIEE)